

**UNIVERSIDADE DE BRASÍLIA  
FACULDADE DE TECNOLOGIA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

**CONVERSOR TENSÃO-CORRENTE EM TECNOLOGIA  
CMOS PARA UM CONVERSOR ANALÓGICO/DIGITAL DE  
UM SISTEMA EM CHIP**

**GENIVAL MARIANO DE ARAUJO**

**ORIENTADOR: JOSÉ CAMARGO DA COSTA**

**DISSERTAÇÃO DE MESTRADO EM ENGENHARIA ELÉTRICA**

**PUBLICAÇÃO: PPGENE.DM – 359/08**

**BRASÍLIA/DF: DEZEMBRO – 2008**

**UNIVERSIDADE DE BRASÍLIA  
FACULDADE DE TECNOLOGIA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

**CONVERSOR TENSÃO-CORRENTE EM TECNOLOGIA  
CMOS PARA UM CONVERSOR ANALÓGICO/DIGITAL DE  
UM SISTEMA EM CHIP**

**GENIVAL MARIANO DE ARAUJO**

**DISSERTAÇÃO SUBMETIDA AO DEPARTAMENTO DE  
ENGENHARIA ELÉTRICA DA FACULDADE DE TECNOLOGIA DA  
UNIVERSIDADE DE BRASÍLIA COMO PARTE DOS REQUISITOS  
NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE.**

**APROVADO POR:**

---

**Prof. José Camargo da Costa,  
(Orientador)**

---

**Prof. Alexandre Ricardo Soares Romariz  
(Examinador Interno)**

---

**Prof. Raimundo Carlos Silvério Freire  
(Examinador Externo)**

**BRASÍLIA/DF, 05 DE DEZEMBRO DE 2008**

## FICHA CATALOGRÁFICA

ARAUJO, GENIVAL MARIANO DE	
Conversor Tensão-Corrente em Tecnologia CMOS para um Conversor Analógico/Digital de um Sistema em Chip [Distrito Federal] 2008.	
xvii, 74p., 210 x 297 mm (ENE/FT/UnB, Mestre, Dissertação de Mestrado) – Universidade de Brasília. Faculdade de Tecnologia.	
Departamento de Engenharia Elétrica	
1. Conversor tensão-corrente	2. Referência de corrente
3. Conversor A/D	4. Sistemas em chip
I. ENE/FT/UnB	II. Título (série)

## REFERÊNCIA BIBLIOGRÁFICA

ARAUJO, G. M. (2008). Conversor Tensão-Corrente em Tecnologia CMOS para um Conversor Analógico-Digital de um Sistema em Chip. Dissertação de Mestrado em Engenharia Elétrica, Publicação PPGENE.DM-359/08, Departamento de Engenharia Elétrica, Universidade de Brasília, Brasília, DF, 74p.

## CESSÃO DE DIREITOS

AUTOR: Genival Mariano de Araujo

TÍTULO: Conversor Tensão-Corrente em Tecnologia CMOS para um Conversor Analógico/Digital de um Sistema em Chip

GRAU: Mestre ANO: 2008

É concedida à Universidade de Brasília permissão para reproduzir cópias desta dissertação de mestrado e para emprestar ou vender tais cópias somente para propósitos acadêmicos e científicos. O autor reserva outros direitos de publicação e nenhuma parte dessa dissertação de mestrado pode ser reproduzida sem autorização por escrito do autor.

---

Genival Mariano de Araujo  
EQ 09/11 Bloco B casa 01 Setor Oeste Gama  
72.425-095 Brasília – DF – Brasil.

## **AGRADECIMENTOS**

Ao Senhor Deus por mais esse importante passo na minha vida.

Ao meu orientador, professor José Camargo pela dedicação e trabalho durante todos esses anos.

Aos colegas do LPCI/LTSD, Gilmar Beserra, Heider Marconi, Hélder Henrique, João Vítor, José Edil, Letícia Maia, Vítor Soares, pelas contribuições e pelo ótimo ambiente de trabalho.

Às colegas Auxiliadora Souza, Rachel Jaensch e Virna Albornoz, pelo constante incentivo.

À minha esposa River que sempre me apoiou incondicionalmente.

“Quanto mais acredito na ciência, mais acredito em Deus.

O universo é inexplicável sem Deus.”

(Albert Einstein)

## **RESUMO**

### **CONVERSOR TENSÃO-CORRENTE EM TECNOLOGIA CMOS PARA UM CONVERSOR ANALÓGICO/DIGITAL DE UM SISTEMA EM CHIP**

**Autor: Genival Mariano de Araujo**

**Orientador: José Camargo da Costa**

**Programa de Pós-graduação em Engenharia Elétrica**

**Brasília, dezembro de 2008.**

Este trabalho apresenta o desenvolvimento do projeto de um conversor tensão-corrente que será agregado a uma interface analógica de um sistema em chip. O conversor V-I, como será chamado, é responsável pela conversão dos sinais de tensão, provenientes de um circuito condicionador de sinais, em sinais de corrente antes de serem entregues a um conversor analógico-digital (conversor A/D).

Todo desenvolvimento do projeto foi feito na tecnologia CMOS 0,35 $\mu$ m utilizando programa CAD para captura de esquemático, simulação, verificação de regras de projeto, comparação leiaute x esquemático e extração de parasitas. A metodologia utilizada foi a de desenvolvimento de projeto analógico, partindo de uma hierarquia de blocos até chegar a um nível de hierarquia mais alto.

## **ABSTRACT**

### **VOLTAGE TO CURRENT CONVERTER IN CMOS TECHNOLOGY FOR AN ANALOG/DIGITAL CONVERTER OF A SYSTEM ON CHIP**

**Author: Genival Mariano de Araujo**

**Supervisor: José Camargo da Costa**

**Programa de Pós-graduação em Engenharia Elétrica**

**Brasília, December 2008.**

This work presents the design of a voltage-to-current converter that will be aggregated to an analog interface of a system-on-chip. The V-I converter, as it will be called, is responsible for converting the voltage signals acquired from a signal conditioner circuit into current signals before delivering them to an analog-to-digital converter (A/D converter).

The design was developed based on 0.35  $\mu\text{m}$  CMOS process technology using Cadence EDA software for schematic capture, simulation, design rules check, layout versus schematic comparison and parasitic resistance and capacitance extraction. A bottom-up analog design methodology was used, i.e., the blocks were implemented and then integrated in the final system.

# SUMÁRIO

<b>1 - INTRODUÇÃO .....</b>	<b>1</b>
<b>1.1. OBJETIVO .....</b>	<b>3</b>
<b>1.2. CONTEÚDO E ORGANIZAÇÃO .....</b>	<b>3</b>
<b>2 - REVISÃO BIBLIOGRÁFICA.....</b>	<b>4</b>
<b>2.1 Conversor Analógico/Digital.....</b>	<b>4</b>
<b>2.2 Conversor Tensão-Corrente .....</b>	<b>5</b>
<b>2.3 Referências de Corrente.....</b>	<b>12</b>
<b>3 – METODOLOGIA DE PROJETO .....</b>	<b>16</b>
<b>4 – PROJETO ELÉTRICO .....</b>	<b>19</b>
<b>4.1 ESPECIFICAÇÕES GERAIS.....</b>	<b>19</b>
<b>4.2 TECNOLOGIA E AMBIENTE DE DESENVOLVIMENTO .....</b>	<b>20</b>
<b>4.3 ESCOLHA DA TOPOLOGIA .....</b>	<b>20</b>
<b>4.3.1 Estratégia para o conversor V-I .....</b>	<b>22</b>
<b>4.3.2 Topologia do núcleo do conversor V-I .....</b>	<b>24</b>
<b>4.3.3 Dimensionamento dos componentes do núcleo do conversor V-I.....</b>	<b>26</b>
<b>4.3.4 Especificações da referência de corrente .....</b>	<b>29</b>
<b>4.3.5 Escolha da topologia da referência de corrente .....</b>	<b>29</b>
<b>4.3.6 Dimensionamento dos componentes da referência de corrente.....</b>	<b>32</b>
<b>4.3.7 Especificações do estágio de saída .....</b>	<b>34</b>
<b>4.3.8 Escolha da topologia do estágio de saída .....</b>	<b>34</b>
<b>4.3.9 Dimensionamento do estágio de saída.....</b>	<b>37</b>
<b>4.3.10 Conversor V-I completo .....</b>	<b>38</b>
<b>4.3.11 O chip de teste .....</b>	<b>39</b>
<b>5 - RESULTADOS E DISCUSSÃO .....</b>	<b>42</b>
<b>5.1 CONVERSOR TENSÃO-CORRENTE COMPLETO .....</b>	<b>42</b>
<b>6 - CONCLUSÕES E RECOMENDAÇÕES .....</b>	<b>46</b>
<b>REFERÊNCIAS BIBLIOGRÁFICAS .....</b>	<b>47</b>



<b>APÊNDICE A - CÁLCULO DO RESISTOR DA REFERÊNCIA DE CORRENTE</b>	<b>50</b>
<b>APÊNDICE B - CIRCUITO ELÉTRICO DO CONVERSOR V-I .....</b>	<b>51</b>
<b>APÊNDICE C - SIMULAÇÃO DO NÚCLEO DO CONVERSOR V-I.....</b>	<b>53</b>
<b>APÊNDICE D - SIMULAÇÃO DA REFERÊNCIA DE CORRENTE.....</b>	<b>55</b>
<b>APÊNDICE E - LEIAUTES DAS ESTRUTURAS DO CHIP DE TESTE.....</b>	<b>60</b>
<b>E.1 NÚCLEO DO CONVERSOR V-I.....</b>	<b>58</b>
<b>E.2 REFERÊNCIA DE CORRENTE.....</b>	<b>59</b>
<b>E.3 PRIMEIRO ESTÁGIO DE SAÍDA .....</b>	<b>59</b>
<b>E.4 SEGUNDO ESTÁGIO DE SAÍDA .....</b>	<b>60</b>
<b>E.5 CONVERSOR TENSÃO CORRENTE COMPLETO .....</b>	<b>61</b>

## LISTA DE FIGURAS

Figura 1.1: Estação base e estações de campo .....	1
Figura 1.2: Estação de campo e nós .....	2
Figura 1.3: Estrutura de um nó com atuador .....	2
Figura 1.4: Estrutura da interface analógica .....	3
Figura 1.5: Arquitetura de um conversor cíclico com controle digital, interfaces .....	5
Figura 2.1: Conversor V-I - transistor MOS com resistor de dreno .....	5
Figura 2.2: Conversor V-I com transistor de canal longo .....	6
Figura 2.3: Conversor V-I com referência de corrente.....	7
Figura 2.4: Conversor V-I com circuito de polarização.....	8
Figura 2.5: Topologia escolhida para o núcleo do conversor V-I .....	9
Figura 2.6: Gráfico V x I das saídas dos conversores V-I descritos.....	10
Figura 2.7: Conversor V-I com <i>amp-op</i> .....	11
Figura 2.8: Referência de corrente com espelho de corrente <i>Widlar</i> .....	12
Figura 2.9: Referência de corrente com compensação de temperatura, tensão de alimentação e parâmetros de processo .....	13
Figura 2.10: Topologia original da referência de corrente utilizada .....	14
Figura 3.1: Metodologia geral de projeto analógico.....	16
Figura 3.2: Metodologia de projeto do conversor V-I.....	18
Figura 4.1: Diagrama de blocos do conversor V-I proposto.....	21
Figura 4.2: (a) Sinal de entrada do conversor V-I (b) Sinal de saída do conversor V-I .....	22
Figura 4.3: (a) Sinal de saída do conversor V-I (b) Corrente gerada pela referência de corrente (c) Sinal resultante após ser feita o deslocamento da corrente ..	23
Figura 4.4: (a) Entrada do primeiro estágio de espelhos (b) Saída com ganho quatro e entrada do segundo estágio de espelhos (c) Saída com ganho cinco do conversor final.....	24
Figura 4.5: Topologia modificada do núcleo do conversor V-I.....	25
Figura 4.6: Topologia da referência de corrente utilizada .....	30

<b>Figura 4.7: Variação de R1 com a temperatura .....</b>	<b>32</b>
<b>Figura 4.8: Estágio de saída do conversor V-I.....</b>	<b>35</b>
<b>Figura 4.9: Ajuste da corrente de saída do núcleo do conversor V-I .....</b>	<b>36</b>
<b>Figura 4.10: Topologia do conversor V-I completo.....</b>	<b>38</b>
<b>Figura 4.11: Chip de teste enviado para fabricação.....</b>	<b>39</b>
<b>Figura 4.12: Circuito de simulação da entrada do conversor A/D .....</b>	<b>40</b>
<b>Figura 5.1: Simulação DC do conversor V-I. Corrente de saída x Tensão de entrada</b>	<b>42</b>
<b>Figura 5.2: Entrada de tensão e saída de corrente do conversor V-I .....</b>	<b>43</b>
<b>Figura 5.3: Saída de corrente do conversor V-I para entrada de tensão senoidal de 25kHz .....</b>	<b>44</b>
<b>Figura 5.4: Saída de corrente do conversor V-I para uma tensão rampa de entrada</b>	<b>44</b>
<b>Figura B.1: Conversor V-I Completo .....</b>	<b>51</b>
<b>Figura C.1: <math>V_{IN}</math> x <math>I_{OUT}</math> do núcleo do conversor V-I.....</b>	<b>53</b>
<b>Figura C.2: Estabilidade térmica do núcleo do conversor V-I.....</b>	<b>54</b>
<b>Figura D.1: Estabilidade térmica da corrente de polarização do núcleo do conversor V-I .....</b>	<b>55</b>
<b>Figura D.2: Variação da corrente de polarização com a tensão VDD.....</b>	<b>57</b>
<b>Figura E.1: Leiaute do núcleo do conversor V-I .....</b>	<b>58</b>
<b>Figura E.2: Leiaute da referência de corrente.....</b>	<b>59</b>
<b>Figura E.3: Leiaute do primeiro estágio de saída.....</b>	<b>59</b>
<b>Figura E.4: Leiaute do segundo estágio de saída.....</b>	<b>60</b>
<b>Figura E.5: Leiaute do conversor tensão-corrente completo .....</b>	<b>61</b>

## **LISTA DE TABELAS**

<b>Tabela 4.1: Dimensões dos transistores do núcleo do conversor V-I.....</b>	<b>29</b>
<b>Tabela 4.2: Dimensões dos transistores da referência de corrente .....</b>	<b>34</b>
<b>Tabela 4.3: Dimensões dos transistores do estágio de saída .....</b>	<b>38</b>
<b>Tabela B1: Dimensões dos Transistores do Conversor V-I.....</b>	<b>54</b>
<b>Tabela D.1: Corrente no estágio de saída nas faixas de variação da temperatura. ....</b>	<b>56</b>
<b>Tabela D2: Comparativo do desempenho de circuitos de referências de corrente .....</b>	<b>57</b>

## LISTA DE SÍMBOLOS, NOMENCLATURA E ABREVIACÕES

A/D	- Analógico/Digital
APS	- <i>Active Pixel Sensor</i>
BSIM	- <i>Berkeley Short-Channel IGFET Model</i>
CAD	- <i>Computer-Aided Design</i>
DRC	- <i>Design Rules Check</i>
DC	- <i>Direct Current</i>
EB	- Estação Base
EC	- Estação de Campo
ERC	- <i>Electrical Rules Check</i>
$I_D$	- Corrente de Dreno
ISCAS	- <i>International Symposium on Circuits and Systems</i>
$K_{PN}$	- Fator de Ganho do Transistor NMOS
$K_{PP}$	- Fator de Ganho do Transistor PMOS
LDCI	- Laboratório de Dispositivos e Circuitos Integrados
MOS	- <i>Metal-Oxide Semiconductor</i>
NMOS	- <i>N-type Channel Metal-Oxide Semiconductor</i>
PMOS	- <i>P-type Channel Metal-Oxide Semiconductor</i>
PTAT	- <i>Proportional To Absolute Temperature</i>
RAM	- <i>Random Access Memory</i>
RF	- <i>Radio frequency</i>
ROM	- <i>Read-Only Memory</i>
RSD	- <i>Redundant Signed Bit</i>
SCI	- Sistema de Controle de Irrigação
SoC	- <i>System on Chip</i>
TCV	- <i>Temperature Coefficient of the Threshold Voltage</i>
V-I	- Tensão-Corrente
$V_{DS}$	- Tensão Dreno-Fonte ( <i>drain-source</i> )
$V_{GS}$	- Tensão Porta-Fonte ( <i>gate-source</i> )
$V_{TN}$	- Tensão de Limiar do Transistor NMOS
$\beta_{\mu n}$	- Expoente da mobilidade do transistor NMOS
$\mu_n$	- Mobilidade Efetiva do Transistor NMOS
$V_{TP}$	- Tensão de Limiar do Transistor PMOS

# 1 – INTRODUÇÃO

Nos últimos 10 anos, tem ocorrido grande demanda de mercado por aplicações portáteis como telefones celulares, *paggers*, *laptops*, *pdas* [1] [2]. Uma vez que esses dispositivos são equipados com baterias, a energia é um elemento importante tornando críticos os blocos de circuito responsáveis por sua manutenção, tais como reguladores, conversores, referências de tensão e de corrente. O mercado de dispositivos portáteis requer que eles tenham grande funcionalidade integrada (por exemplo, vídeo, áudio, imagem, *web*), tamanho reduzido e principalmente baixo custo.

Os sistemas em chip (SoC – *System on Chip*) satisfazem as exigências de mercado supra mencionadas através da integração de bloco analógicos, digitais e de RF em um mesmo substrato de silício. Com essa diversidade de blocos integrados, torna-se possível implementar várias funções em um único chip usando uma quantidade mínima de componentes externos. Em consequência dessa integração, há um aumento de velocidade nos ciclos de projeto, reduzindo o tempo total de produção, além do custo total [1] [2].

Este trabalho é parte de um conjunto de blocos analógicos (condicionador de sinais, conversor tensão-corrente, conversor analógico-digital e transceptor RF) e digitais (microprocessador de 16 bits, memórias RAM/ROM, interface serial), que constituem um SoC desenvolvido inicialmente para controle de irrigação [3].

A construção do SoC é justificada pelos investimentos que têm sido feitos na agricultura de exatidão para melhorar a gestão do uso dos recursos hídricos [4]. Tal dispositivo será usado em um sistema sem fio constituído por uma estação base (E.B), estações de campo (E.C) e nós. Uma visão geral desse sistema é dada nas Figuras 1.1 e 1.2.

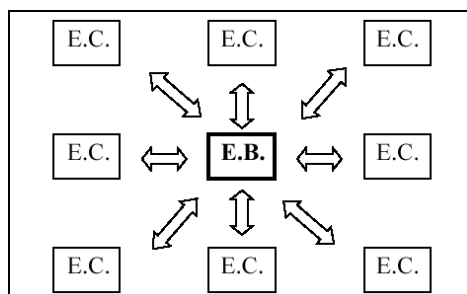


Figura 1.1 – Estação base e estações de campo [5]

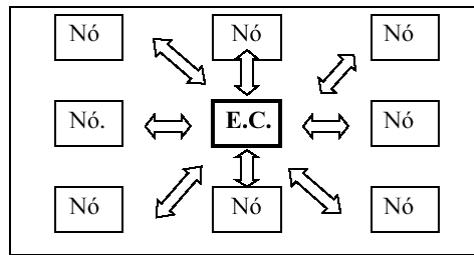


Figura 1.2 – Estação de campo e nós [5]

Os dados climatológicos e hidrológicos coletadas pelas estações de campo, a partir dos nós, serão retransmitidos à estação base onde serão processados, armazenados e apresentados ao usuário (Figura 1.1). Na figura 1.2, uma estação de campo recebe dados e envia comandos para uma rede de nós.

Cada nó, ou estação coletora, é composta por um SoC, sensores (temperatura, pressão, carga da bateria), antena, bateria e um painel solar. Alguns nós terão um atuador que controlará o fluxo de água para irrigação. Observando a Figura 1.3 compreende-se a estrutura de um nó com atuador.

Um nó é programado para ler os dados dos sensores em intervalos de tempo pré-definidos e transmiti-los à estação de campo. Uma estação de campo cobre cerca de 100 hectares e faz o processamento das informações recebidas dos nós. Com base nesse processamento, é enviado o comando para ativação do atuador de um determinado nó.

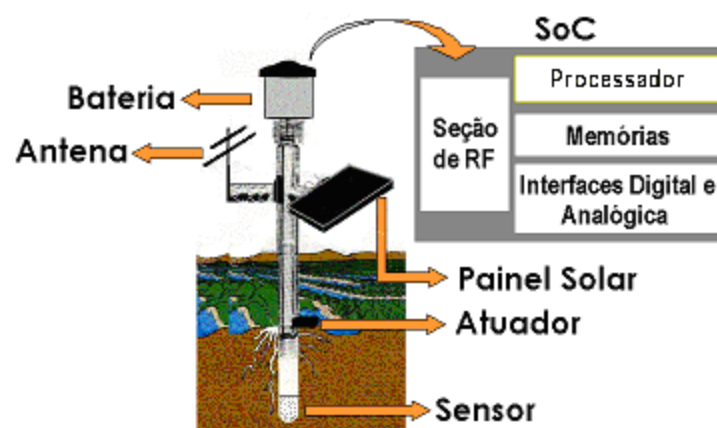


Figura 1.3 - Estrutura de um nó com atuador [3]

O diagrama de blocos com as unidades principais que compõem o SoC é dado na Figura 1.3, porém especificações detalhadas do SoC serão vistas no capítulo 4, quando a parte de projeto for abordada.

A interface analógica, composta por um condicionador de sinais, conversor tensão-corrente (cujo projeto e implementação são o tema deste trabalho) e conversor analógico/digital, está no diagrama da Figura 1.4. Nesta figura, o sensor de bateria fornece dados sobre a carga da bateria que alimenta o nó, de modo que a estação de campo avise o operador de uma eventual necessidade de troca. O controle do microprocessador é omitido na Figura 1.4 por não fazer parte do escopo do presente trabalho.

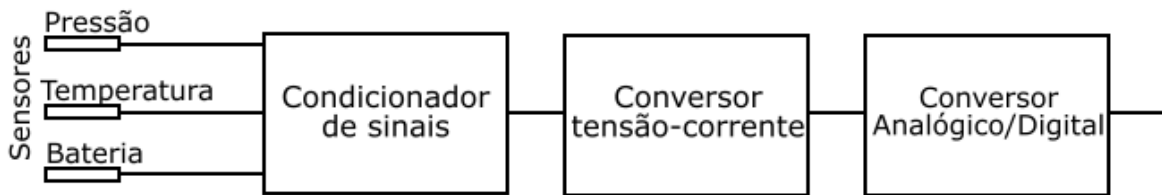


Figura 1.4 – Estrutura da interface analógica

## 1.1 - OBJETIVO

A contribuição deste trabalho foi projetar e validar uma topologia de circuito de um conversor tensão-corrente (conversor V-I) linear que fará parte da interface analógica do SoC para controle de irrigação, descrito acima.

O conversor V-I completo, bem como alguns de seus blocos foram colocados em um chip de teste que foi enviado para fabricação.

## 1.2 - CONTEÚDO E ORGANIZAÇÃO

Este trabalho foi dividido em cinco capítulos. No capítulo 2, foi feita uma revisão de alguns conceitos e de topologias de circuitos utilizados na construção do conversor V-I. No capítulo 3, foi abordada a metodologia de projeto de circuitos analógicos e mais especificamente, a metodologia de projeto do conversor V-I. No capítulo 4, foram detalhados o funcionamento e o projeto elétrico de cada bloco do conversor. No capítulo 5, foram apresentados os resultados de simulações de esquemáticos e leiautes dos blocos projetados e do conversor V-I final. No capítulo 5, foram apresentadas as conclusões e recomendações para trabalhos futuros.



## **2 - REVISÃO BIBLIOGRÁFICA**

Visando maior compreensão do desenvolvimento do trabalho, serão vistos os blocos principais que compõem a interface analógica: o conversor V-I e o conversor A/D. Este, já projetado, está em fase de teste e caracterização.

Além dos blocos principais, alguns circuitos do conversor V-I também serão vistos.

### **2.1 - CONVERSOR ANALÓGICO/DIGITAL**

Conforme descrito no capítulo 1, cada nó realiza aquisição de dados do ambiente e assim toma as decisões quanto à irrigação da área controlada. De acordo com [6] e [7], as principais variáveis monitoradas em um nó são a umidade (através de um sensor de pressão), temperatura e a carga da bateria que alimenta o nó. Antes dos dados serem transmitidos para a estação de campo, faz-se necessário um pré-processamento através de sua amostragem e quantização.

A função descrita será realizada por um conversor A/D em modo de corrente com controle digital. Em [6] são detalhadas as especificações da topologia proposta originalmente.

A arquitetura original do conversor A/D é de um conversor cíclico RSD. O esquemático da Figura 1.5 contém as partes desse tipo de conversor (multiplexador de 3 canais, interface de controle, núcleo do conversor, interface para os dados serem lidos pelo microprocessador) e sua interligação. O estágio de entrada é um multiplexador de sinais analógicos e possui dois bits para seleção do canal. A interface de controle é um registrador que o microprocessador utiliza para controlar o funcionamento do núcleo do conversor A/D.

A saída do núcleo analógico está codificada em RSD, portanto um codificador RSD é usado para entregar o sinal codificado em complemento de dois ao módulo conversor serial/paralelo. O último estágio é um *buffer* de saída que armazena os resultados da conversão. [6]

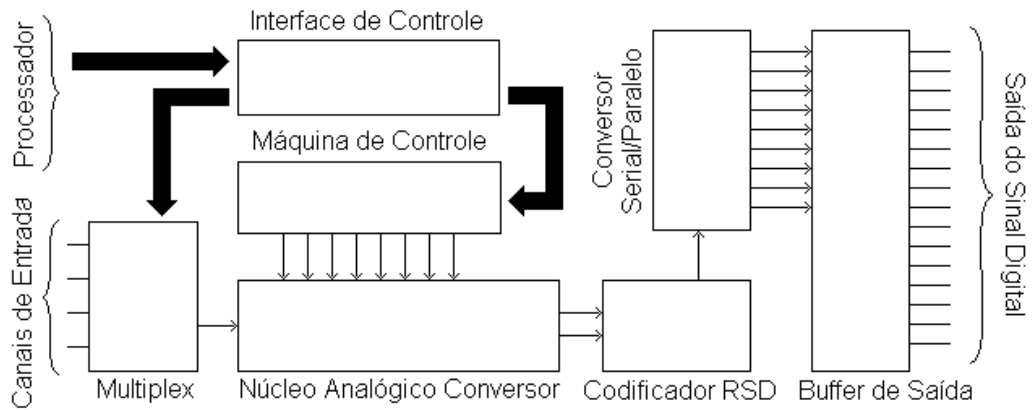


Figura 1.5 – Arquitetura de um conversor cíclico com controle digital, interfaces [6]

## 2.2 - CONVERSOR TENSÃO-CORRENTE

No item 2.1 foi dito que o conversor A/D utilizado no sistema funciona em modo de corrente. Isso significa que os sinais analógicos de tensão provenientes dos sensores de temperatura, pressão e tensão da bateria devem ser convertidos em sinais de corrente. O conversor V-I é o circuito que realiza essa tarefa.

Em [8] são abordadas várias topologias de conversores tensão-corrente, algumas delas são vistas a seguir. Uma das topologias mais simples de um conversor V-I utiliza um transistor e um resistor como ilustrado na Figura 2.1.

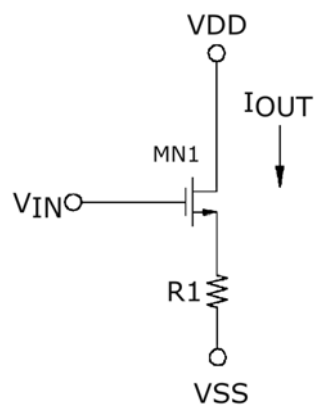


Figura 2.1 – Conversor V-I - transistor MOS com resistor de dreno

Na Figura 2.1, o transistor MN1 possui canal curto ( $L < 1 \mu\text{m}$  aproximadamente) tal que a corrente de dreno  $I_{OUT}$  aumenta lineamente com a tensão de polarização da porta,  $V_{IN}$ .

Para facilitar a análise, assume-se VSS como referência (VSS = 0 V), e a resistência dreno-fonte de MN1 desprezível em relação à de R1. Dessa forma, a relação entre corrente de saída e tensão de entrada é dada pela equação (2.1).

$$\begin{aligned} I_{OUT} &= 0 & \{V_{in} \leq V_T\} \\ I_{OUT} &= \frac{V_{in} - V_T}{R1} & \{V_{in} > V_T\} \end{aligned} \quad (2.1)$$

Portanto, trata-se de uma relação linear entre tensão de entrada e corrente de saída. No entanto, devido a variações térmicas e de processos, o valor da resistência de R1 pode variar bastante (cerca de 20%) e em consequência variar a corrente na saída.

Outra topologia utiliza apenas um transistor MOS para converter  $V_{IN}$  em  $I_{OUT}$  (Figura 2.2).

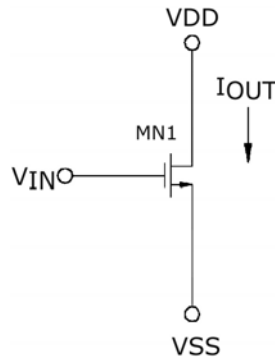


Figura 2.2 – Conversor V-I com transistor de canal longo

Na Figura 2.2, MN1 opera na saturação e possui canal longo ( $L \gg 1 \mu\text{m}$ ). A corrente de dreno guarda uma relação quadrática com a polarização da porta. A resistência dreno-fonte ( $R_{DS}$ ) é alta o suficiente para funcionar como um resistor de referência. [8]

As considerações feitas para o circuito da Figura 2.2 são que  $\beta$  e  $V_T$  permanecem constantes, apesar das variações em  $V_{GS}$  ( $V_{IN}$ ) e  $I_{DS}$  ( $I_{OUT}$ ). As equações (2.2) (a) (b) (c) trazem as relações corrente-tensão.

$$\begin{aligned} I_{OUT} &= 0 & \{V_{in} < V_T\} & & (a) \\ I_{OUT} &= \beta[(V_{in} - V_T)V_{DS} - KV_{DS}^2] & \{V_{in} > V_T\} & \text{ e } \{V_{DS} < V_{GS} - V_T\} & (b) \\ I_{OUT} &= \beta[(V_{in} - V_T)^2] & \{V_{in} > V_T\} & \text{ e } \{V_{DS} > V_{GS} - V_T\} & (c) \end{aligned} \quad (2.2)$$

Para as quais:

$$\beta = \frac{W\epsilon_{ox}\mu_n}{Lt_{ox}}$$

As equações (2.2) (b) e (c) correspondem respectivamente às regiões de operação de triodo e saturação do transistor. Cabe aqui uma explicação quanto ao valor de  $K$  que geralmente é adotado como  $1/2$ . Segundo [8] e [9], essa é apenas uma aproximação, tornando-se válida à medida que o transistor entra na região de saturação. Para a região de triodo, um valor de  $K$  na faixa de  $1/3$  a  $2/3$  é uma boa aproximação.

De acordo com as equações 2.2 (b) e (c), a relação entre tensão de entrada e a corrente de saída é quadrática, sendo inadequada para este projeto.

A topologia da Figura 2.3 é mais um exemplo de conversor tensão-corrente com um circuito de polarização.

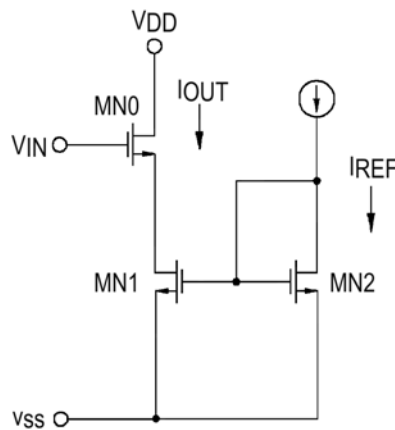


Figura 2.3 – Conversor V-I com referência de corrente

Na Figura 2.3, MN0 é um transistor NMOS polarizado na saturação, enquanto MN1 opera na região de triodo. O transistor MN2 também opera na saturação e sua corrente de dreno é aproximadamente  $I_{REF}$ , mantida pela fonte de corrente. Nesta configuração, MN1 obedece à equação (2.2) (b) e MN2 à equação (2.3). Substituindo os respectivos valores nestas equações se obtém as equações (2.3) e (2.4).

$$I_{OUT} = \beta_1 [(V_{GS1} - V_{T1})V_{DS1} - KV_{DS1}^2] \quad (2.3)$$

$$I_{REF} = K\beta_2 [(V_{GS2} - V_{T2})^2] \quad (2.4)$$

Para encontrar a resistência de dreno  $R_{DS}$  de MN1, basta dividir a equação (2.3) por  $V_{DS1}$  e inverter o resultado.

Os transistores MN1 e MN2 possuem a mesma tensão porta-fonte ( $V_{GS}$ ) e a mesma tensão de limiar,  $V_T$ , que pode ser encontrada isolando o termo  $V_{GS3}$  na equação (2.4). Combinando esta expressão de  $V_{GS}$  com aquela de  $R_{DS}$ , chega-se a equação (2.5),

$$\frac{V_{DS1}}{I_{OUT}} = \frac{1}{\beta_1 [(I_{REF}/K\beta_2)^{1/2} - KV_{DS1}]} \quad (2.5)$$

Tendo em vista que a equação (2.5) representa a resistência dreno-fonte ( $R_{DS1}$ ) de MN1, esta topologia se torna inadequada, pois o resistor de referência tem sua resistência alterada pela tensão de entrada  $V_{IN}$  (observar que  $R_{DS1}$  depende de  $V_{DS1}$  e este de  $V_{IN}$ ).

O circuito da Figura 2.3 pode ser melhorado se houver uma tensão constante que polarize o transistor MN1 conforme a Figura 2.4.

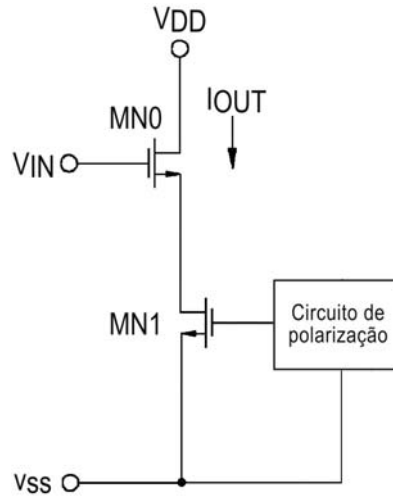


Figura 2.4 – Conversor V-I com circuito de polarização

Na Figura 2.4, um circuito de polarização foi conectado a MN1 com a intenção de manter sua resistência dreno-fonte constante.

A equação (2.3) também é usada aqui para calcular a resistência dreno-fonte de MN1. Basta novamente dividir por  $V_{DS1}$  e inverter o resultado, obtendo-se a equação (2.6). Nesta equação,  $R_{DS1}$  é função das tensões  $V_{GS1}$ ,  $V_{DS1}$  e  $V_{T1}$ .

$$\frac{V_{DS1}}{I_{OUT}} = \frac{1}{\beta_1 (V_{GS1} - V_{T1} - KV_{DS1})} = R_{DS1} \quad (2.6)$$

De acordo com [8], o valor adequado de  $V_{GS1}$  deve ser superior a  $V_T + KV_{DS1}$  por um valor  $V_C$ , de modo a manter  $R_{DS1}$  proporcional a uma tensão de polarização. Assim, a equação (2.6) pode ser reescrita como:

$$\frac{V_{DS1}}{I_{OUT}} = \frac{1}{\beta_1 V_C} = R_{DS1} \quad (2.7)$$

Na equação (2.7),  $R_{DS1}$  não varia com  $I_{OUT}$ . Isso foi possível graças ao circuito de polarização que atuando dinamicamente em MN1, praticamente eliminou a dependência de  $R_{DS1}$  em relação a  $V_T$  e a  $V_{DS1}$ . O princípio de funcionamento desse circuito também é usado na topologia da Figura 2.5.

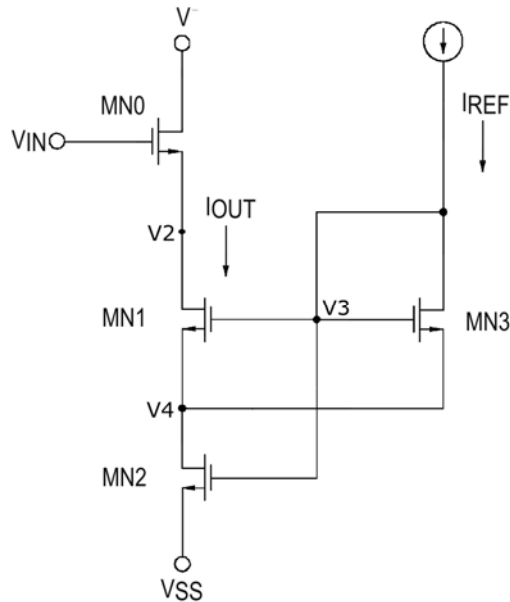


Figura 2.5 – Topologia escolhida para o núcleo do conversor V-I [8]

Na Figura 2.5,  $V_{SS} = 0\text{ V}$  e os transistores MN3 e MN0 funcionam na região de saturação, enquanto MN1 e MN2 operam na região de triodo. O transistor MN3 e a fonte de corrente  $I_{REF}$  funcionam como rede de polarização de MN1 e MN2.

Assim, MN0 recebe o sinal de tensão  $V_{IN}$ , proveniente do condicionador de sinais e gera uma corrente de dreno  $I_{OUT}$ . Os transistores MN1 e MN2, polarizados em triodo, funcionam com um resistor, de modo que a corrente que passa por ambos seja proporcional à tensão  $V_{IN}$ .

A relação  $V \times I$  para cada uma das topologias citadas é avaliada no gráfico da Figura 2.6. Neste gráfico, os números à direita em cada curva estão relacionados às Figuras com as topologias apresentadas até aqui. Observa-se que a topologia da Figura 2.1 possui a maior faixa linear, porém apresenta o inconveniente de variação da resistência de dreno. A curva da topologia 2.2 é pouco linear devido à relação quadrática da corrente de saída com a tensão de entrada, conforme visto. A curva da topologia 2.3 possui a faixa de corrente de saída bastante estreita.

A melhor opção é a curva da topologia 2.5, pois apresenta linearidade e uma faixa de tensões/correntes razoável. Será visto que esta faixa de tensão de entrada poderá ser estendida até a faixa de tensão especificada no projeto.

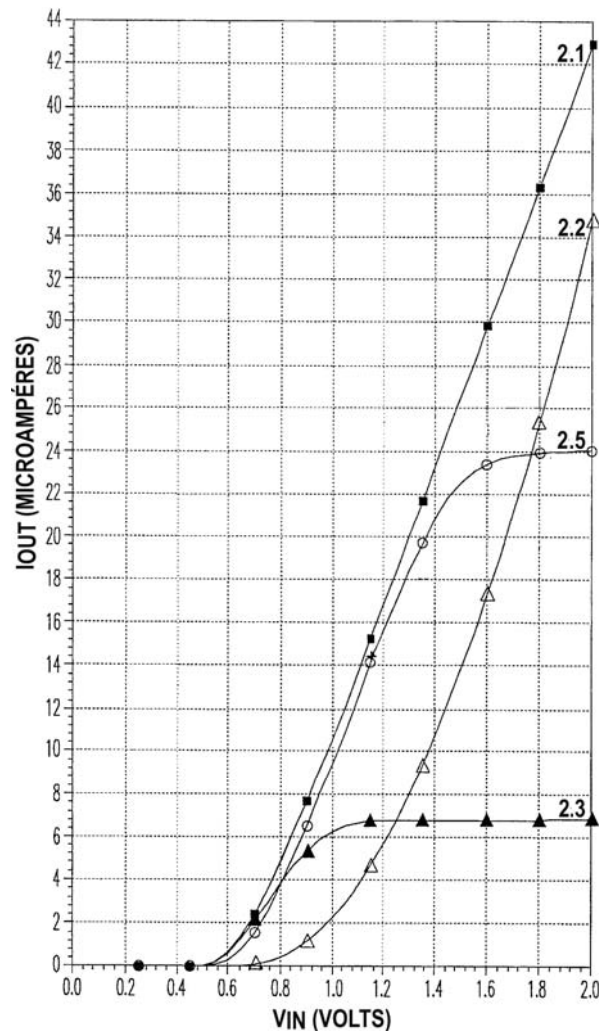


Figura 2.6 – Gráfico V x I das saídas dos conversores V-I descritos

Os conversores V-I lineares geralmente desviam a tensão de entrada para um resistor. Algumas topologias, como a da Figura 2.7, utilizam um amplificador operacional de ganho elevado. [10]

O espelho de corrente formado por MN1 e MN2 proporciona na saída a corrente gerada em R. Geralmente, R é um resistor de polissilício, o que proporciona maior linearidade na conversão tensão-corrente.

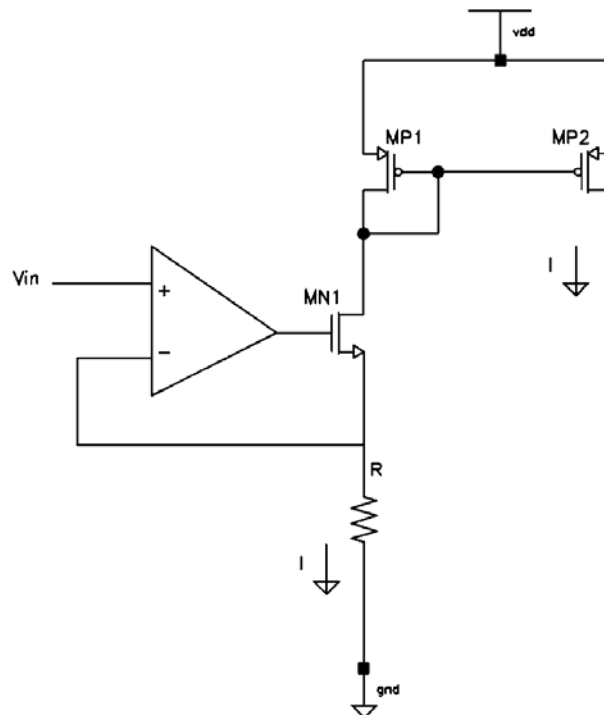


Figura 2.7 – Conversor V-I com *amp-op* [10]

De acordo com [10], a variação na corrente de saída segue a variação da resistência de folha do resistor, chegando a  $\pm 25\%$ . Outros problemas ocorrerão devido às variações de processos em resistores e transistores serem diferentes.

Um problema se refere ao uso do amplificador operacional, pois sua construção aumenta a complexidade do circuito, o consumo de energia e a área ocupada. [8]

O estado da arte dos conversores V-I utiliza estruturas *cascode flipped voltage follower* [11] como estágio de entrada para melhorar a resposta no tempo e a exatidão do circuito. A saída é feita com espelhos de corrente, cuja soma das correntes resulta na corrente total do circuito. [12]

Do exposto, a topologia escolhida para o conversor V-I foi aquela da Figura 2.5. Ela foi selecionada a princípio por sua linearidade dentro da faixa de tensões de entrada (que poderá ser estendida) e por outros motivos que serão vistos no capítulo 4, no item 4.3.3.



### 2.3 - REFERÊNCIAS DE CORRENTE

Uma referência é um bloco de circuito capaz de estabelecer uma saída estável e confiável, seja de tensão ou de corrente, para ser utilizada por outros blocos do sistema. A saída de uma referência ideal é independente da fonte de alimentação do sistema e da temperatura, numa certa faixa. Além disso, a construção de referências deve basear-se em valores físicos para reduzir a sensibilidade a variações de processos.

Referências podem ser usadas, por exemplo, em um circuito regulador na construção de fontes de tensão, para polarizar circuitos como amplificadores operacionais ou mesmo para gerar a corrente de referência de um circuito conversor tensão-corrente. [13]

Algumas referências de corrente são derivadas de referências de tensão de modo a apresentarem baixa sensibilidade à tensão de alimentação [14] [15] [16]. Outras exploram também a relação entre  $K$  e  $V_T$  para compensar as variações de processo [15].

Na literatura são descritas algumas topologias de referências de corrente usando transistores MOS. Uma das topologias mais simples, descrita em [17], utiliza espelho de corrente *Widlar*, sendo vista na Figura 2.8.

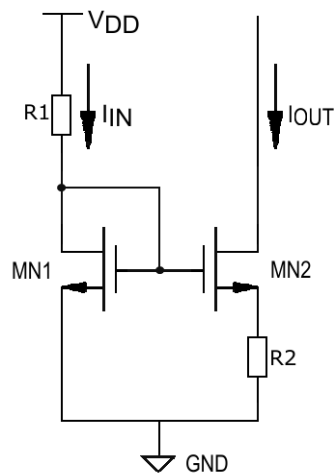


Figura 2.8 – Referência de corrente com espelho de corrente *Widlar* [17]

Na Figura 2.8, os transistores MN1, MN2 e o resistor R1 funcionam como fonte de corrente. O resistor R2 funciona como realimentação negativa da tensão porta-fonte de MN2. Assim, se por algum motivo  $I_{OUT}$  aumentar, a tensão sobre R2 (tensão de fonte de MN2) também aumentará, reduzindo o valor da tensão fonte-dreno de MN2, reduzindo  $I_{OUT}$ . A principal desvantagem dessa topologia, segundo [18], é que ela não possui

compensação térmica, pois o coeficiente de temperatura depende de parâmetros de processo e não de projeto. Além disso, a resistividade dos resistores pode variar com a tecnologia não sendo garantida por algumas *foundries*. [19]

De acordo com [17], a topologia da Figura 2.8 é geralmente construída com transistores bipolares, apresentando baixa sensibilidade da corrente de saída com a tensão de alimentação. Entretanto, a utilização de transistores NMOS servirá para ilustrar o cálculo da sensibilidade, como será visto.

O bloco principal de uma referência de corrente é a fonte de corrente. As fontes de corrente convencionais são dependentes de vários fatores já mencionados. Entretanto, uma referência de tensão PTAT pode ser utilizada como entrada de controle para a referência de corrente, compensando as variações de temperatura. [15] [20] [21]

As variações de processo em geral afetam a tensão de limiar  $V_T$  dos transistores, porém várias técnicas podem ser empregadas para gerar corrente constante, independente das variações de  $V_T$  dos transistores. Em [15] é apresentada uma referência de corrente imune tanto a variações de temperatura e tensão de alimentação quanto aos parâmetros de processo. O circuito descrito na Figura 2.9 utiliza seis transistores e uma tensão de referência  $V_{GG}$ .

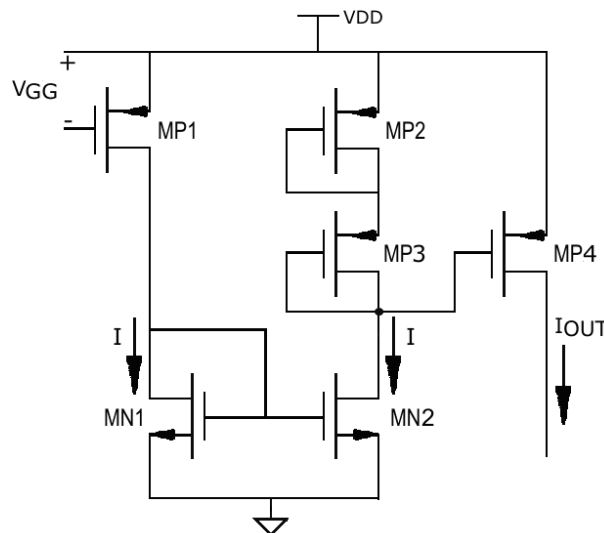


Figura 2.9 – Referência de corrente com compensação de temperatura, tensão de alimentação e parâmetros de processo

Na Figura 2.9,  $V_{GS1}$  representa uma tensão gerada por uma referência de tensão PTAT. Os transistores MP2 e MP3 formam um divisor de tensão polarizado por uma corrente constante  $I$ , fornecendo uma tensão de porta constante para MP4. Assim, a corrente  $I_{OUT}$  será mantida constante.

De acordo com [15], a corrente de saída  $I_{OUT}$  é dada pela equação (2.8).

$$I_{OUT} = K_p' \frac{\gamma}{2} \left[ \left( 1 - 2\sqrt{\frac{\alpha}{\beta}} \right) V_{TP} + \left( 2\sqrt{\frac{\alpha}{\beta}} \right) V_{GS} \right]^2 \quad (2.8)$$

Na equação (2.8),  $\beta$  representa a relação  $\frac{W}{L}$  de MP2 e MP3, enquanto  $\alpha$  representa a relação  $\frac{W}{L}$  de MP1. Os transistores MN1 e MN2 são assumidos como tendo  $\frac{W}{L} = 1$ . Nota-se nesta equação que o único termo que depende da tensão de alimentação é  $V_{GS1}$ . Se for possível manter  $V_{GS1}$  constante através de uma referência de tensão, a corrente de referência será constante mesmo havendo variações em  $V_{DD}$ .

Ainda na equação (2.8), os termos  $K_p'$  e  $V_{TP}$  diminuem de valor com o aumento da temperatura. Para manter a estabilidade térmica,  $V_{GS1}$  é fornecido por uma referência de tensão PTAT.

A topologia escolhida da Figura 2.10, detalhada em [22], utiliza apenas cinco transistores MOS e um resistor para fazer a compensação de 1ª ordem da temperatura.

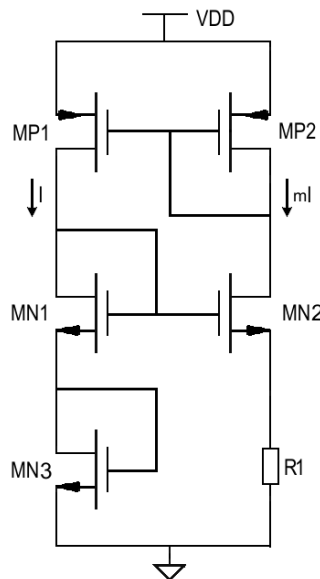


Figura 2.10 – Topologia original da referência de corrente utilizada [22].

De acordo com a Figura 2.10, os transistores MP1 e MP2 constituem um espelho de corrente PMOS ligado de forma cruzada a um espelho de corrente NMOS que funciona como fonte de corrente. Em [22] é descrito que MN1, MN2 e R1 são responsáveis pela corrente  $I$ , enquanto MP1 e MP2 pela taxa  $m$ . O transistor MN3 proporciona a compensação da temperatura, como será visto no capítulo 4, item 4.3.5.

Um aumento da corrente de saída  $mI$  faz com que haja aumento na corrente  $I$  devido ao espelho de corrente PMOS. Há novamente o incremento da corrente  $mI$  devido o espelho NMOS. Dessa forma, quando  $mI$  aumentar, a tensão de fonte de MN2 (queda de tensão sobre R1) também aumentará, fazendo com que sua tensão porta-fonte diminua e assim reduzindo  $mI$ .

No projeto de uma referência de corrente, alguns parâmetros devem ser considerados. O principal deles é o quão sensível é a corrente de saída em relação a variações da tensão de alimentação, que é definida pela sensibilidade. [9] [17]

De acordo com [17], a sensibilidade da corrente de saída  $I_{OUT}$  em relação à tensão de alimentação  $V_{DD}$ , é definida pela equação (2.9).

$$S_{V_{DD}}^{I_{OUT}} = \frac{V_{DD}}{I_{OUT}} \frac{\partial I_{OUT}}{\partial V_{DD}} \quad (2.9)$$

Como exemplo, a topologia da Figura 2.8, possui sensibilidade da corrente de saída ( $I_{OUT}$ ) em relação  $V_{DD}$  igual a metade da sensibilidade da corrente de entrada ( $I_{IN}$ ) em relação a  $V_{DD}$ , desde que  $I_{OUT} \ll I_{IN}$ . E ainda, se  $V_{DD} \gg V_{GS1}$  (tensão porta-fonte de MN1) então  $I_{IN} \approx V_{DD}/R1$  e a sensibilidade de  $I_{IN}$  para  $V_{DD}$  é aproximadamente 1. Isso significa que uma variação de 10% em  $V_{DD}$  resulta numa variação de 5% de  $I_{OUT}$ . [17]

### 3 – METODOLOGIA DE PROJETO

Em linhas gerais, o projeto de um circuito analógico é dividido nas etapas do diagrama da Figura 3.1. [5]

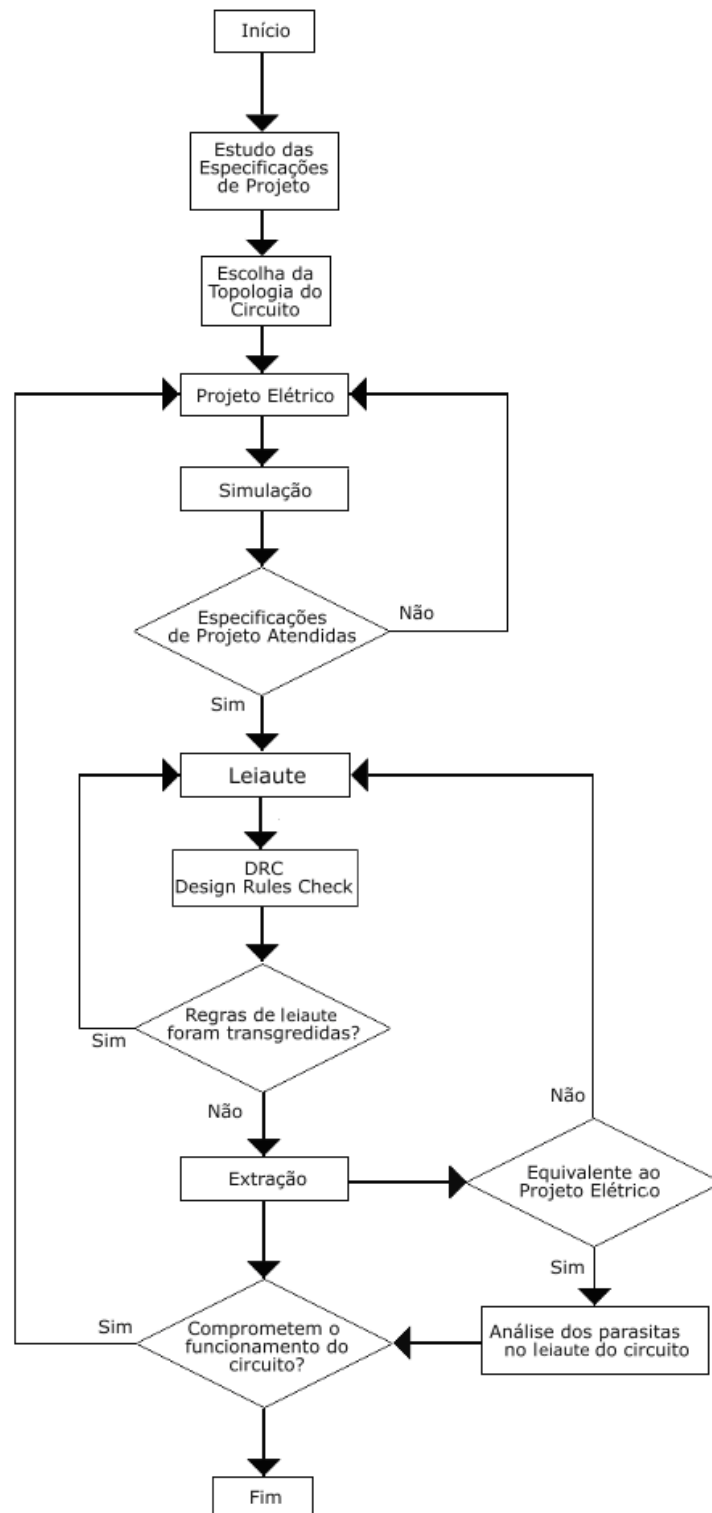


Figura 3.1 – Metodologia geral de projeto analógico [5]

O primeiro passo do projeto consiste na análise das especificações, onde são levantados os requisitos operacionais do circuito: as funções que serão executadas, condições de operação, consumo, área, tecnologia usada. No caso particular do conversor V-I, inicialmente foram definidos a faixa de tensão de entrada, valor da corrente de referência, faixa de corrente de saída, tensão de alimentação.

Com base nas especificações, é escolhida a topologia mais adequada e que satisfaça a todos os requisitos do sistema.

No próximo nível, o de projeto elétrico, o sistema é implementado com transistores de acordo com a tecnologia utilizada, sendo os sinais representados por grandezas elétricas. Geralmente, a partir desta fase todas as implementações são feitas com programa CAD utilizando ferramentas de desenho de esquemáticos, simulação, desenho de leiaute.

A simulação verifica se o sistema projetado atende as especificações iniciais. Caso não atenda, há um desvio no fluxo retornando o projeto para a fase anterior para verificações e/ou refinamentos.

Chegando ao nível de leiaute ou geométrico, os dispositivos que constituem o sistema serão representados por formas geométricas na disposição em que serão construídos. De acordo com a tecnologia utilizada, esses dispositivos serão definidos em diferentes camadas. Nesta etapa serão feitas verificações de um conjunto de regras geométricas e elétricas do fabricante, em processos conhecidos como DRC e ERC. Por fim, desde que as regras de projeto não tenham sido violadas, é realizada a extração do circuito para gerar o esquemático equivalente das estruturas utilizadas.

A metodologia de projeto do conversor V-I segue as etapas descritas de projeto analógico. Entretanto, etapas extras representadas na figura 3.2 tiveram que ser adicionadas.

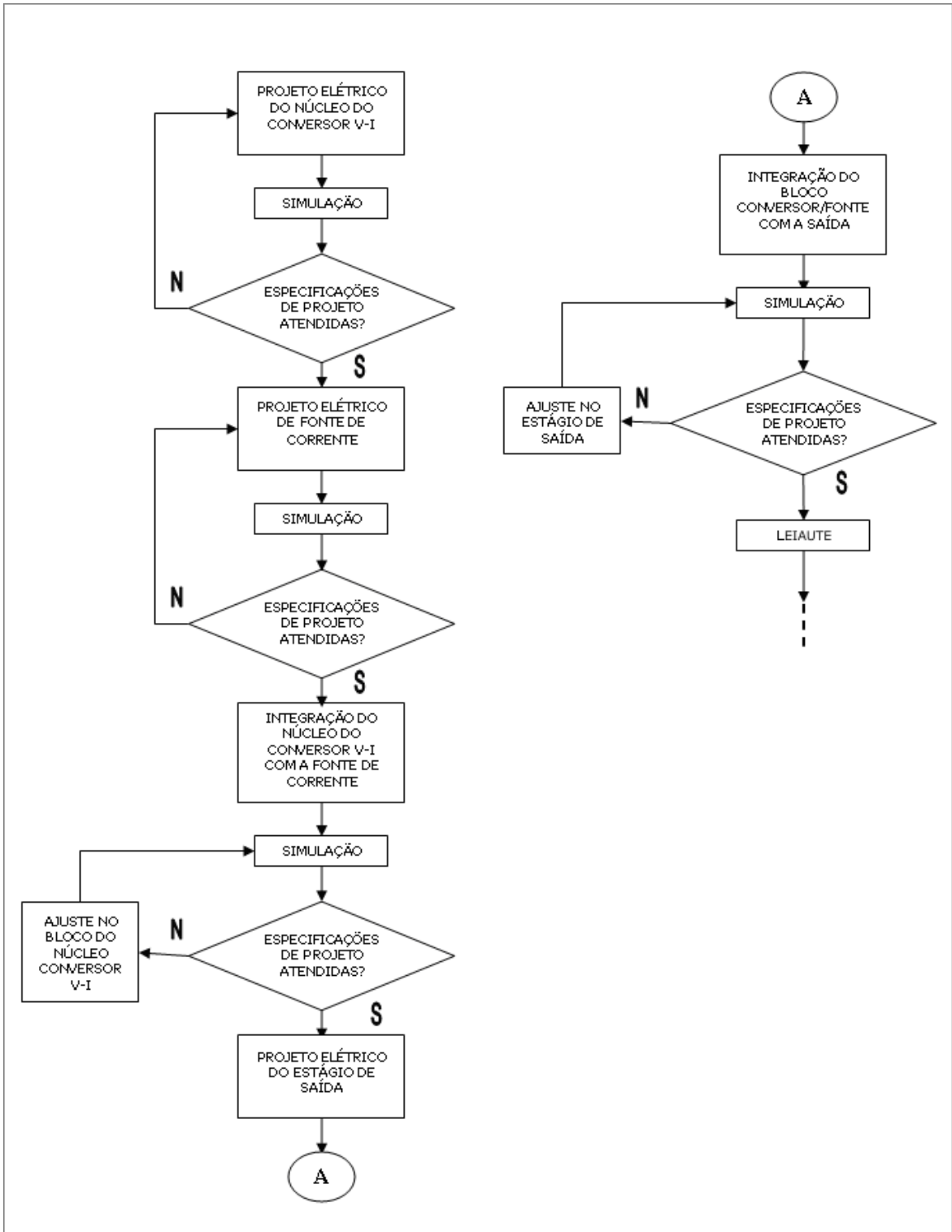


Figura 3.2 – Metodologia de projeto do conversor V-I

Na Figura 3.2, após as especificações de projeto do conversor completo terem sido atendidas, o fluxograma continua normalmente como no projeto analógico (leiaute, DRC).

## 4 – PROJETO ELÉTRICO

### 4.1 - ESPECIFICAÇÕES GERAIS

Conforme abordado no capítulo 1, o conversor tensão-corrente é um dos circuitos de um módulo de aquisição e conversão de sinais de um sistema em chip. Este módulo é formado por um condicionador de sinais, um conversor tensão-corrente e um conversor analógico-digital. As entradas do primeiro circuito são sinais de tensão provenientes de sensores de pressão (umidade), temperatura e tensão da bateria.

O controle da aquisição e amostragem dos sinais dos sensores é feito em períodos de tempo pré-determinados e controlado por um microprocessador.

As especificações de área e potência das partes analógicas do SoC inicialmente foram:

- Área: 15 mm<sup>2</sup> na parte de RF e 0,61 mm<sup>2</sup> para o conversor A/D
- Consumo: 10 mW apenas na parte de RF e aproximadamente 3 mW para o conversor A/D

Outras especificações do conversor A/D, detalhadas em [23], são:

- Faixa de corrente de entrada de  $-100 \mu\text{A}$  a  $100 \mu\text{A}$ , podendo ser ajustada para outros valores simétricos até o limite de  $-90 \mu\text{A}$  a  $90 \mu\text{A}$ ;
- Impedância de entrada de aproximadamente 2,6 k $\Omega$ ;
- Tensão de entrada de 1,0 V a 2,0 V;
- Tensão de alimentação de 3,3V;
- Taxa de amostragem de 50 000 amostras/s;
- Resolução de 8 bits;
- Erro de quantização de  $\pm 0,4 \mu\text{A}$

As características desejadas no conversor V-I deste trabalho são:

- O sinal de corrente gerado deve ser independente da impedância da carga;
- A relação tensão de entrada/corrente de saída deve ser linear;
- Faixa de temperatura de operação 0 °C a 70 °C.



Os sinais adquiridos são convertidos no condicionador para uma faixa determinada de tensões e entregues ao conversor V-I que os transforma em sinais de corrente. O último estágio, o conversor A/D, recebe e amostra os sinais de corrente.

As especificações de entrada e saída do conversor V-I levam em consideração a saída do condicionador de sinais e a entrada do conversor A/D.

Apesar de o projeto do condicionador não ter sido inteiramente definido, algumas especificações já são conhecidas:

- Faixa de tensão de saída de 1,0 V a 2,0 V;
- A corrente de saída, a princípio pode ser da ordem de alguns micro ampères, o suficiente para carregar as capacitâncias de porta da entrada do conversor;

Além dessas especificações, o projeto deverá considerar:

- Uso da menor área possível, tendo em vista tratar-se de parte de um sistema em chip onde o custo por área é elevado;
- Menor consumo de energia possível.

## **4.2 - TECNOLOGIA E AMBIENTE DE DESENVOLVIMENTO**

No projeto de todos os blocos foi utilizada a tecnologia de fabricação *C35B4C3* da empresa *Austria Microsystems* ([www.austriamicrosystems.com](http://www.austriamicrosystems.com)). Esta tecnologia utiliza dispositivos CMOS de substrato p com poços n, quatro camadas de metal disponíveis e uma segunda camada de polissilício para a realização de capacitores. A menor largura de canal realizável é de 0,35 micrometros e as dimensões devem obedecer a uma tolerância máxima de 0,05 micrometros. A tensão de alimentação é de 3,3 V ou 5 V, mas a especificação para este projeto é de 3,3 V.

Foi utilizado o ambiente de desenvolvimento de circuitos integrados da *Cadence Design Systems* ([www.cadence.com](http://www.cadence.com)) que possui ferramentas para geração de esquemático (*Virtuoso Schematics*), simulação elétrica (*Spectre*), geração de leiaute (*Virtuoso Layout*), verificação das regras de projeto, tanto geométricas quanto elétricas (*Assura*), extração de resistências e capacitâncias parasitas e comparação leiaute/esquemático (*Assura*). Esses programas estão disponíveis em estações com processadores *Intel core 2 duo*, com sistema operacional Linux.

### 4.3 - ESCOLHA DA TOPOLOGIA

A escolha da topologia do conversor V-I não deverá utilizar fonte de alimentação simétrica. Tendo em vista a alimentação por baterias e alto custo por área de silício, o projeto será orientado pelo compromisso de se obter o menor consumo e utilização da menor área.

Considerando a área ocupada pelo conversor A/D que é de  $0,61 \text{ mm}^2$  com um consumo de aproximadamente  $3 \text{ mW}$ , foi arbitrado para o conversor V-I como especificação inicial, uma área menor ou igual a do conversor A/D e um consumo no máximo igual a  $1/3$  deste.

Em [10] é apresentado o projeto de um conversor V-I em tecnologia CMOS que consome cerca de  $0,6 \text{ mW}$  para uma saída de  $90 \mu\text{A}$ , porém ocupa uma área de  $200 \text{ mm}^2$  e não possui saída de corrente simétrica. Enquanto [24] mostra um conversor V-I que ocupa uma área de  $0,1 \text{ mm}^2$ , mas apresenta um corrente de saída de  $150 \mu\text{A}$  e consome  $2,4 \text{ mW}$ .

Portanto, a dificuldade de escolha de uma topologia baseada em trabalhos ou na literatura e que atenda o compromisso de consumo/área arbitrado inicialmente, motivou a proposta de topologia da Figura 4.1 que é descrita no item 4.3.1.

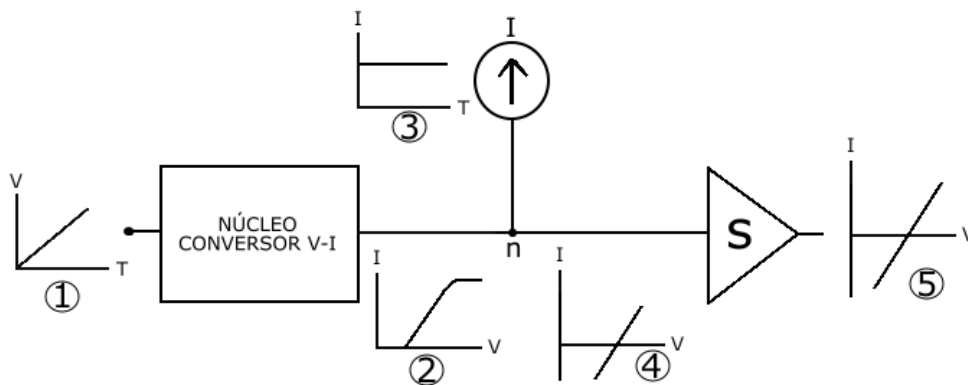


Figura 4.1 – Diagrama de blocos do conversor V-I proposto

A topologia de conversor V-I da figura 4.1 é uma nova proposta, diferindo das topologias tradicionais por não utilizar fonte de alimentação simétrica e mesmo assim fornecer corrente simétrica na saída.

A seqüência de números na Figura 4.1 indica o funcionamento do conversor, descrito como:

1. O núcleo do conversor recebe na entrada tensões na faixa de  $1,0 \text{ V}$  a  $2,0 \text{ V}$  provenientes do condicionador de sinais;

2. A seguir, essa tensão é linearmente convertida em corrente e entregue à saída do núcleo do conversor. Na faixa de tensões de entrada a corrente na saída varia de  $2,5 \mu\text{A}$  a  $12,5 \mu\text{A}$ ;
3. A fonte de corrente  $I$  funciona como um sorvedouro de corrente, drenando  $7,5 \mu\text{A}$  do nó  $n$ . Essa corrente servirá para ajustar a corrente de saída do núcleo do conversor;
4. Dessa forma, o estágio de saída  $S$ , constituído por espelhos de corrente, receberá uma corrente na faixa de  $-5 \mu\text{A}$  a  $5 \mu\text{A}$ ;
5. A saída entregará uma corrente variando de  $-100 \mu\text{A}$  a  $100 \mu\text{A}$ , além de *casar* a saída do conversor V-I final com a entrada do conversor A/D.

#### 4.3.1 - Estratégia para o Conversor V-I

Será feita uma breve descrição do funcionamento de cada bloco que permitirá o entendimento do conversor V-I completo.

**Núcleo do Conversor V-I:** Este bloco é baseado no projeto desenvolvido em [8]. Ele recebe um sinal de tensão, proveniente do condicionador de sinais, e o converte em sinal de corrente. Uma característica importante desse bloco é que ela seja capaz de trabalhar na faixa de tensões de  $1 \text{ V}$  a  $2 \text{ V}$ , que será a faixa de trabalho do conversor V-I final. A corrente de saída deve ser baixa, de forma que o núcleo tenha pouco consumo e também para que a corrente gerada pela referência  $I$  no ajuste da corrente de saída do núcleo seja baixa. Para facilitar a compreensão, um exemplo de sinal na entrada e a saída correspondente do núcleo do conversor estão na Figura 4.2 (a) e (b).

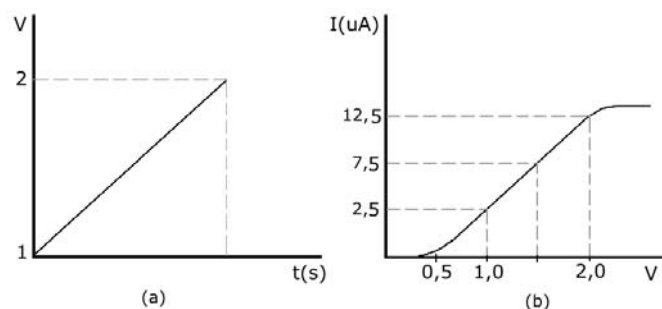


Figura 4.2 – (a) Sinal de entrada do conversor V-I (b) Sinal de saída do conversor V-I

A Figura 4.2(a) representa o sinal que o condicionador de sinais aplica na entrada do conversor V-I e a Figura 4.2(b) representa a resposta do conversor.

Na Figura 4.2 (b), a faixa de saída linear situa-se entre 1 V e 2 V, porém a faixa de corrente deve variar entre dois valores simétricos tendo zero no ponto 1,5 V. Observa-se que é possível obter o sinal desejado caso a curva do sinal de saída do conversor seja deslocada para a direita e para baixo. Isso é possível somando a corrente de saída a uma corrente de  $-7,5 \mu\text{A}$  fornecida por uma referência de corrente.

**Referência de Corrente (I):** O projeto deste bloco é baseado em [22]. A referência de corrente fornece uma corrente de polarização para o conversor V-I e outra para ajuste da saída do conversor, como foi descrito. Na Figura 4.3 está ilustrado como será feito esse ajuste.

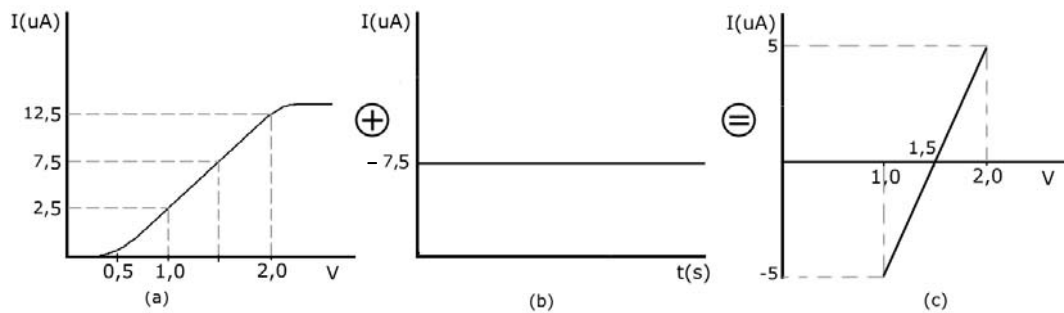


Figura 4.3 – (a) Sinal de saída do conversor V-I (b) Corrente gerada pela referência de corrente (c) Sinal resultante após ser feita o deslocamento da corrente.

O ajuste da corrente de saída do núcleo do conversor V-I ocorre da seguinte forma: o sinal de corrente da saída do conversor V-I, Figura 4.3(a), é deslocado (representado pelo sinal de adição) por uma corrente constante de  $-7,5 \mu\text{A}$  gerada pela referência de corrente, Figura 4.3(b). Este deslocamento ocorre pela soma das correntes no nó, quando é feita a interligação entre a saída do conversor e a saída de  $-7,5 \mu\text{A}$  da referência. Assim, o resultado é uma corrente que varia de  $-5 \mu\text{A}$  a  $5 \mu\text{A}$  quando a tensão na entrada do conversor varia de 1 V a 2 V, passando pelo ponto zero quando a tensão de entrada for 1,5 V.

**Estágio de Saída (S):** Este último bloco foi projetado baseado no trabalho descrito em [25]. No estágio de saída é preciso dar um ganho de vinte ao sinal da Figura 4.3(c), de modo a obter a excursão necessária do sinal de corrente ( $-100 \mu\text{A}$  a  $100 \mu\text{A}$ ). Esse ganho é conseguido através de dois estágios de espelhos de corrente interligados em cascata e que serão vistos em detalhe na parte específica de projeto. O primeiro estágio, formado por dois espelhos de corrente simples PMOS e NMOS, possui ganho igual a quatro.

O estágio seguinte é formado por dois espelhos de corrente Wilson, PMOS e NMOS, com ganho igual a cinco (Figura 4.4). Além disso, este estágio aumenta a impedância de saída do conversor V-I final.

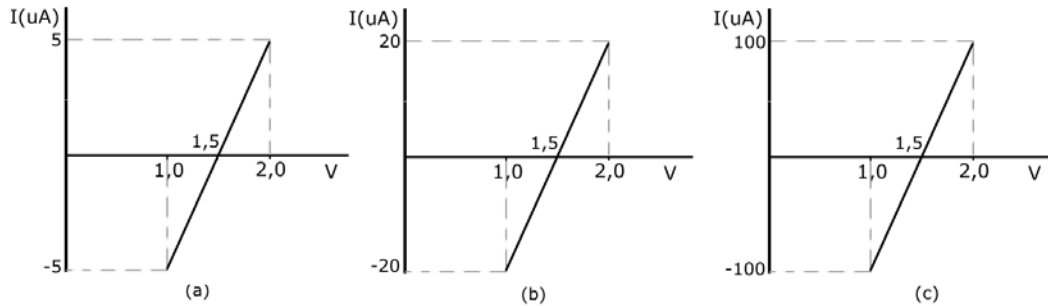


Figura 4.4 – (a) Entrada do primeiro estágio de espelhos (b) Saída com ganho quatro e entrada do segundo estágio de espelhos (c) Saída com ganho cinco do conversor final.

Na Figura 4.4(a), a corrente de saída do conversor é entregue ao primeiro estágio de saída, para o qual o ganho de corrente é igual a quatro. O sinal amplificado, Figura 4.4(b), recebe um ganho igual a cinco e representa a saída do conversor final, Figura 4.4(c).

Os próximos itens tratarão do detalhamento e especificação geral de cada bloco do conversor V-I mostrado até aqui.

### 4.3.2 - Topologia do Núcleo do Conversor V-I

A topologia escolhida para o núcleo do conversor, apresentada na Figura 2.5 foi retirada da referência [8].

A escolha desta topologia tem alguns motivos:

- De acordo com [8], a corrente de saída  $I_{\text{OUT}}$  é independente das variações da tensão de limiar dos transistores e da tensão  $V_2$  (desde que  $V_2$  seja pequeno);
- Economia de área, pois serão utilizados poucos transistores de dimensões pequenas (exceto MN3);
- Baixo consumo sem tensão na entrada, pois a corrente de polarização  $I_{\text{REF}}$  é igual a cerca da metade do menor valor de  $I_{\text{OUT}}$ .
- Simplificação do projeto por não utilizar amplificador operacional.

Entretanto, na topologia da Figura 2.5 não é possível a utilização da corrente de saída sem que seja adicionado mais um bloco para copiar a corrente  $I_{OUT}$  e torná-la aplicável. A forma encontrada é dada na Figura 4.5, onde um espelho de corrente PMOS de dois transistores (MP1 e MP2) foi adicionado ao circuito original.

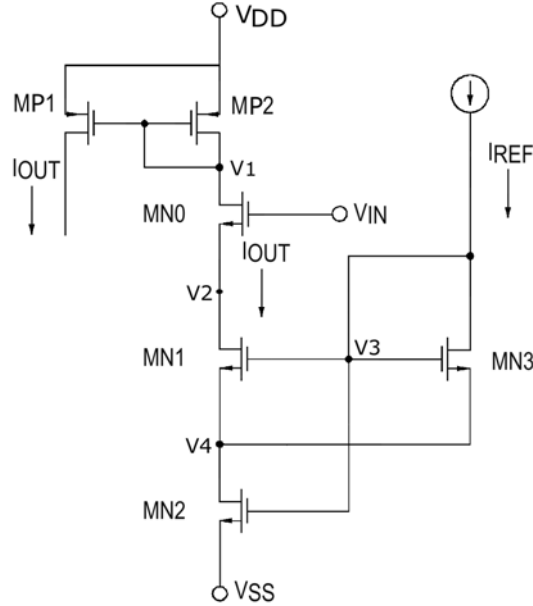


Figura 4.5 – Topologia modificada do núcleo do conversor V-I

No desenvolvimento das equações que regem o funcionamento desse circuito, são feitas algumas considerações para determinar as resistências  $R_{DS1}$  e  $R_{DS2}$  dos transistores MN1 e MN2. A primeira é assumir  $I_{REF}$  pequeno em relação a  $I_{OUT}$  de forma que a corrente de dreno de MN2 seja praticamente  $I_{OUT}$  e que VDD seja aproximadamente igual a  $V_1$ , exceto pela tensão de limiar de MP2 ( $\approx 0,75$  V).

Outra consideração é que MN1 e MN2 são casados e operam na região de triodo, além de possuírem  $V_{T1} = V_{T2}$  e  $\beta_1 = \beta_2$ . A resistência  $R_{DS1}$ , na equação (4.1), é dada por uma adaptação da equação (2.6).

$$R_{DS1} = \frac{V_2 - V_4}{I_{OUT}} = \frac{1}{\beta_1 [V_3 - V_4 - V_{T1} - \frac{1}{2}(V_2 - V_4)]} \quad (4.1)$$

Da mesma forma,  $R_{DS2}$  é dado pela equação (4.2)

$$R_{DS2} = \frac{V_4}{I_{OUT}} = \frac{1}{\beta_2 (V_3 - V_{T2} - \frac{1}{2}V_4)} \quad (4.2)$$

Ainda de acordo com [8], na equação (4.1)  $V_3 - V_4$  é praticamente igual  $V_3$ , assim como  $V_2 - V_4$  é praticamente igual a  $V_4$ . Com isto, considerando as equações (4.1) e (4.2), chega-se a  $R_{DS1} = R_{DS2}$  e  $\frac{V_2 - V_4}{I_{OUT}} = \frac{V_4}{I_{OUT}}$ , de onde se conclui que  $V_4 = 0,5 V_2$ .

A corrente de dreno de MN3 é constante e igual a  $I_{REF}$ . Este transistor opera na saturação, sendo possível chegar-se a equação (4.3):

$$V_3 = V_4 + V_{T3} + \left(\frac{2I_{REF}}{\beta_3}\right)^{1/2} \quad (4.3)$$

Combinando as expressões 4.1 e 4.3 chega-se à equação (4.4).

$$\frac{V_2 - V_4}{I_{OUT}} + \frac{V_4}{I_{OUT}} = \frac{1}{\beta_1[V_3 - V_4 - V_{T1} - \frac{1}{2}(V_2 - V_4)]} + \frac{1}{\beta_2(V_3 - V_{T2} - \frac{1}{2}V_4)} = R_{DS1} + R_{DS2} \quad (4.4)$$

Considerando iguais as tensões de limiar de MN1, MN2 e MN3 e após algumas manipulações matemáticas, chega-se a equação (4.5).

$$\frac{V_2}{I_{OUT}} = \frac{\beta_1[(2I_{REF}/\beta_3)^{1/2} - \frac{1}{4}V_2] + \beta_2[(2I_{REF}/\beta_3)^{1/2} + \frac{1}{4}V_2]}{\beta_1\beta_2[(2I_{REF}/\beta_3) - \frac{1}{16}V_2^2]} = R_{DS1} + R_{DS2} \quad (4.5)$$

Por fim, considerando que  $\beta_1 = \beta_2$  [8] chega-se à equação (4.6).

$$\frac{V_2}{I_{OUT}} = \frac{2[(2I_{REF}/\beta_3)^{1/2}]}{\beta_1[(2I_{REF}/\beta_3) - \frac{1}{16}V_2^2]} = R_{DS1} + R_{DS2} \quad (4.6)$$

Na expressão (4.6), a resistência combinada de  $R_{DS1}$  e  $R_{DS2}$  não depende de  $V_{T1}$  ou  $V_{T2}$  nem da tensão  $V_2$  (assumindo  $V_2 < 1$  V). [8]

### 4.3.3 Dimensionamento dos Componentes do Núcleo do Conversor V-I

Neste item é apresentado o procedimento para dimensionar os transistores do núcleo do conversor V-I.

O simulador *Spectre* foi utilizado para fazer as simulações de esquemático e do circuito extraído (resistências e capacitâncias parasitas). Esse programa usa o modelo *BSIM 3.3* que contém mais de 150 parâmetros físicos e elétricos [26], o que torna o cálculo manual bastante complexo. Assim, as equações de primeira ordem empregadas nos cálculos fornecerão resultados às vezes longe dos valores que seriam obtidos por um modelo apurado. Portanto, muitos ajustes nas dimensões dos componentes através de sucessivas simulações foram necessários para se chegar a valores satisfatórios das dimensões de cada

componente. Esses ajustes, feitos manualmente, foram guiados para se obterem os resultados desejados para cada bloco.

O projeto será iniciado pelo núcleo do conversor V-I da Figura 4.5. O primeiro passo será dimensionar o transistor MN1.

A faixa de excursão da tensão de entrada é determinada considerando que MN0 está na saturação. Assim, de acordo com [8] o maior valor de VIN pode ser calculado a partir da equação (4.7).

$$V_{DS(MN1)} > V_{GS(MN1)} - V_T \quad (4.7)$$

$$V_1 - V_2 > V_{in} - V_2 - V_T \quad (4.8)$$

$$V_{in} \leq V_1 + V_T \quad (4.9)$$

Substituindo valores e considerando  $V_{TN} = V_T = 0,7 \text{ V}$  e  $V_{TP} = 0,75 \text{ V}$ , obtém-se:

$$V_{in} < 2,55 \text{ V} \quad (4.10)$$

De acordo com a equação (4.6),  $V_2$  precisa ser pequeno. Em [8] sugere-se  $V_2 < 1 \text{ V}$ , então será adotado  $V_2 = 0,7 \text{ V}$  como valor inicial de  $V_2$  para efeito de cálculo. Esse valor de tensão ocorre quando  $V_{in} = 2 \text{ V}$  e  $I_{OUT} = 12,5 \text{ } \mu\text{A}$ . Assim, encontra-se a relação  $\frac{W}{L}$  do transistor MN0:

$$\left(\frac{W}{L}\right)_{MN0} = \frac{I_{OUT}}{\frac{1}{2}K'[(V_{in} - V_2 - V_T)^2]} \quad (4.11)$$

Em [26] são dados os parâmetros de processos da tecnologia utilizada ( $K' = 170 \text{ } \mu\text{A/V}^2$ ,  $V_{TP} = 0,75 \text{ V}$ ,  $V_{TN} = 0,7 \text{ V}$ ), chegando-se a:  $\left(\frac{W}{L}\right)_{MN0} = 0,4$ . Considerando  $W = 1 \text{ } \mu\text{m} \Rightarrow L = 2,55 \text{ } \mu\text{m}$ .

A corrente de referência  $I_{REF}$  deve ser no máximo metade do valor mínimo de  $I_{OUT}$  [8]. Supondo um valor mínimo para  $I_{OUT(\min)} = 1 \text{ } \mu\text{A}$ , então  $I_{REF} = 0,5 \text{ } \mu\text{A}$ .

De acordo com a equação (4.6)  $\frac{V_2}{I_{OUT}} = R_{DS1} + R_{DS2}$ . Se  $V_2 = 0,7 \text{ V} \Rightarrow R_{DS1} + R_{DS2} = 56 \text{ k}\Omega$ .

Em [8], assume-se que  $R_{DS1} = R_{DS2}$ , logo  $R_{DS1} = R_{DS2} = 28 \text{ k}\Omega$ .



A tensão de porta de MN1/MN3 terá que ser estimada, porém com MN1 operando na região de triodo, é valido:

$$V_2 - V_4 < (V_3 - V_4) - V_T \quad (4.12)$$

Portanto  $V_3 > V_2 + V_T \Rightarrow V_3 > 1,2V$ , então se assume  $V_3 = 1,5 V$ . Das equações (4.7) a (4.12) é possível chegar às equações (4.13) e (4.14).

$$R_{DS1} = \frac{1}{\beta_1 (2I_{REF} / \beta_3)^{1/2}} \quad (4.13)$$

$$R_{DS2} = \frac{1}{\beta_2 (2I_{REF} / \beta_3)^{1/2}} \quad (4.14)$$

Manipulando a equação (4.13), substituindo valores e considerando as simplificações feitas até aqui, resulta a equação (4.15):

$$\frac{\beta_1^2}{\beta_3} = \frac{1}{2I_{REF} R_{DS1}^2} = 0,0025 \quad (4.15)$$

Assumindo a hipótese que  $\beta_1 = \beta_2$ , a equação (4.15) resulta em:

$$\frac{\left(\frac{W}{L}\right)_2^2}{\left(\frac{W}{L}\right)_3} = 14,7 \quad (4.16)$$

A relação  $\frac{W}{L}$  para o transistor MN2 (também válida para MN1) é escrita como:

$$\left(\frac{W}{L}\right)_2 = \frac{I_{OUT}}{K'[(V_3 - V_4) - V_T]V_4 - \frac{V_4^2}{2}} = 0,76 \quad (4.17)$$

Substituindo o valor de  $\left(\frac{W}{L}\right)_2$  da equação (4.17) na equação (4.16), chega-se à relação

$\frac{W}{L}$  do transistor MN3,  $\left(\frac{W}{L}\right)_3 = 0,04$ .

Sabendo que  $L_1 = L_2 = L$ , escolhe-se  $L = 2 \mu\text{m} \Rightarrow W_1 = W_2 = W = 1,52 \mu\text{m}$

Quanto ao transistor MN3, a exigência principal é que opere dentro da região de triodo. Assim, escolhendo  $W_3 = 1 \mu\text{m} \Rightarrow L_3 = 25 \mu\text{m}$ .

Após fazer diversas simulações para alcançar a especificação de projeto desejada, chegou-se às dimensões finais dos transistores (ver tabela 4.1) e a um novo valor da corrente  $I_{REF}$ , no caso  $1,84 \mu\text{A}$ .

Os transistores MP1 e MP2 foram dimensionados por simulação, partindo de dimensões iguais às do transistor MN0 ( $W = 1 \mu\text{m}$  e  $L = 2,55 \mu\text{m}$ ).

Tabela 4.1 – Dimensões dos transistores do núcleo do conversor V-I

Transistor	Valor calculado W ( $\mu\text{m}$ ) / L ( $\mu\text{m}$ )	Valor ajustado por simulação W ( $\mu\text{m}$ ) / L ( $\mu\text{m}$ )
MN0	1/2,55	1,0/2,0
MN1	1,2/2,0	1,0/3,5
MN2	1,2/2,0	1,0/3,5
MN3	1,0/25	1,0/38
MP1	-	1,0/2,0
MP2	-	1,0/2,0

#### 4.3.4 - Especificações da Referência de Corrente

- Corrente de saída para o núcleo do conversor:  $1,84 \mu\text{A}$ , conforme indicado no desenvolvimento do conversor;
- Corrente de ajuste:  $-7,50 \mu\text{A}$ , idem anterior
- Resistência de saída da ordem de  $1 \text{ M}\Omega$

#### 4.3.5 - Escolha da Topologia da Referência de Corrente

A referência de corrente fornecerá a corrente de polarização do circuito do núcleo do conversor V-I e ao mesmo tempo fará o ajuste da corrente de saída deste módulo. Portanto, é necessária uma topologia cuja saída seja imune principalmente a variações de temperatura e da tensão de alimentação.

Também devem ser consideradas a área ocupada e a dissipação de potência que devem ser compatíveis com as especificações iniciais do conversor V-I. Tendo em vista esses requisitos, optou-se também por utilizar a topologia da Figura 2.10.

Voltando à Figura 2.10, nota-se que é necessário fazer algumas modificações na referência de corrente para utilizá-la. Assim, pensou-se numa saída com dois transistores PMOS, MP3 e MP4 e um espelho de corrente Wilson, interligados como na Figura 4.6.

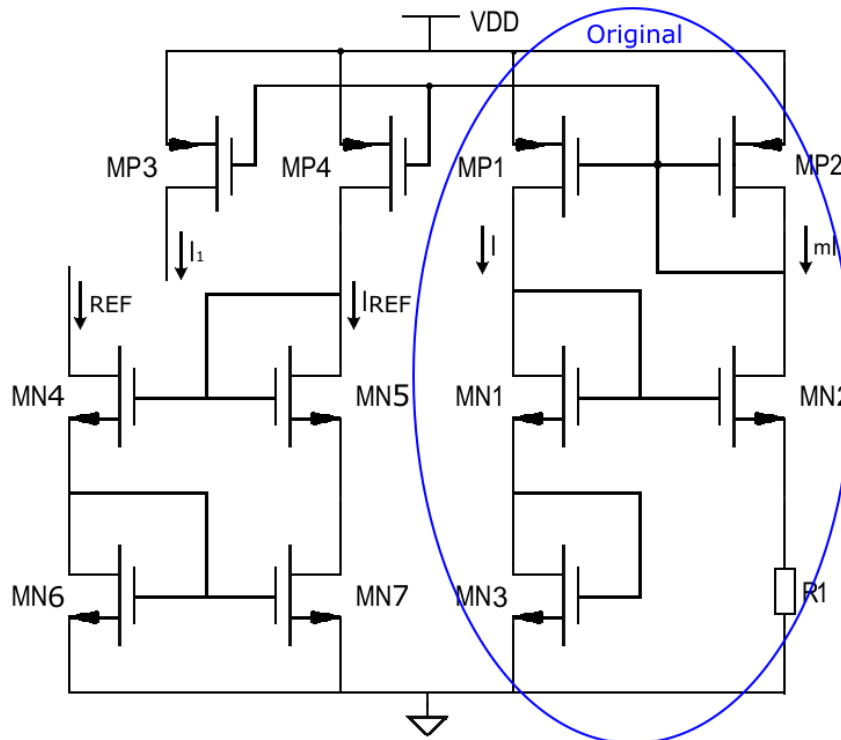


Figura 4.6 - Topologia da referência de corrente utilizada

Na Figura 4.6, observa-se a topologia original da referência de corrente e as modificações que foram implementadas. O núcleo da referência de corrente é agora utilizado para polarizar MP3 e MP4, de forma que se tenham as correntes  $I_1 = 1,84 \mu\text{A}$  para o núcleo do conversor e  $I_{REF} = 7,50 \mu\text{A}$  para a corrente de ajuste da corrente de saída do núcleo do conversor V-I, conforme descrito no item 4.3.1. Um espelho de corrente Wilson N, formado por MN4, MN5, MN6 e MN7, foi utilizado para mudar o sentido de  $I_{REF}$  e para aumentar a resistência de saída.

Para dimensionar o circuito da Figura 4.6, determina-se primeiro o valor da resistência de R1 para a temperatura ambiente.

Fazendo a soma das tensões na malha constituída por MN1, MN2, R1 e MN3, chega-se à equação (4.7)

$$V_{GS1} + V_{GS3} - V_{GS2} - mR_1 I = 0 \quad (4.7)$$

Com algumas manipulações da equação (4.7) chega-se à equação (4.8)

$$\sqrt{\frac{I}{\beta_{n0}}} \left( \frac{1}{\sqrt{\alpha_1}} + \frac{1}{\sqrt{\alpha_3}} - \frac{1}{\sqrt{\alpha_2}} \right) + V_{Tn} - mR_1 I = 0 \quad (4.8)$$

A equação (4.8) mostra que a tensão no resistor R1, dada por  $V_{R1} = mR_1 I$ , depende de dois termos, um deles contendo a mobilidade ( $\mu_n$ ) do transistor NMOS e o outro a tensão de

limiar  $V_{TN}$ . O primeiro termo irá aumentar com o acréscimo na temperatura enquanto o segundo diminuirá.

As dependências da mobilidade e da tensão de limiar com a temperatura estão descritas em [26] e [27] e são dadas pelas equações (4.9) e (4.10) respectivamente.

$$\mu_n = \mu(T_r) \left( \frac{T}{T_r} \right) e^{-\beta_m} \quad (4.9)$$

$$V_m = V_m(T_r) + TCV(T - T_r) \quad (4.10)$$

Na expressão (4.8), assume-se  $m$  independente da temperatura. Dessa forma o coeficiente de temperatura da corrente é dado pela equação (4.11).

$$\frac{dI}{dT} = \frac{-\frac{1}{\mu_n} \frac{d\mu_n}{dT} (mR_1 I - V_{TN}) + 2 \frac{dV_{TN}}{dT} - 2mI \frac{dR_1}{dT}}{\frac{V_{TN}}{I} + mR_1} \quad (4.11)$$

A variação da corrente com a temperatura será nula na equação (4.11) quando se tiver  $R_1$  dado pela equação (4.12).

$$R_1 = \frac{V_{TN}}{mI} \frac{\frac{1}{\mu_n} \frac{d\mu_n}{dT} + 2 \frac{1}{V_{TN}} \frac{dV_{TN}}{dT}}{\frac{1}{\mu_n} \frac{d\mu_n}{dT} + 2 \frac{1}{R_1} \frac{dR_1}{dT}} \quad (4.12)$$

Isolando os termos com  $R_1$  e  $dR_1/dT$  na equação (4.12) chegou-se a uma equação diferencial de primeira ordem, que foi resolvida com auxílio do programa de computador *Matlab 7.1* com *toolbox* para resolução de equações diferenciais [28]. Também foram utilizados os parâmetros de tecnologia do transistor MOS descritos em [26]. Detalhes do programa implementado estão no Apêndice A.

Com isso, obteve-se a curva  $R=f(T)$  da Figura 4.7, chamando a atenção para a faixa de temperatura de interesse (0 °C a 70 °C) expressa na escala Kelvin (273,1 K a 343,1 K).

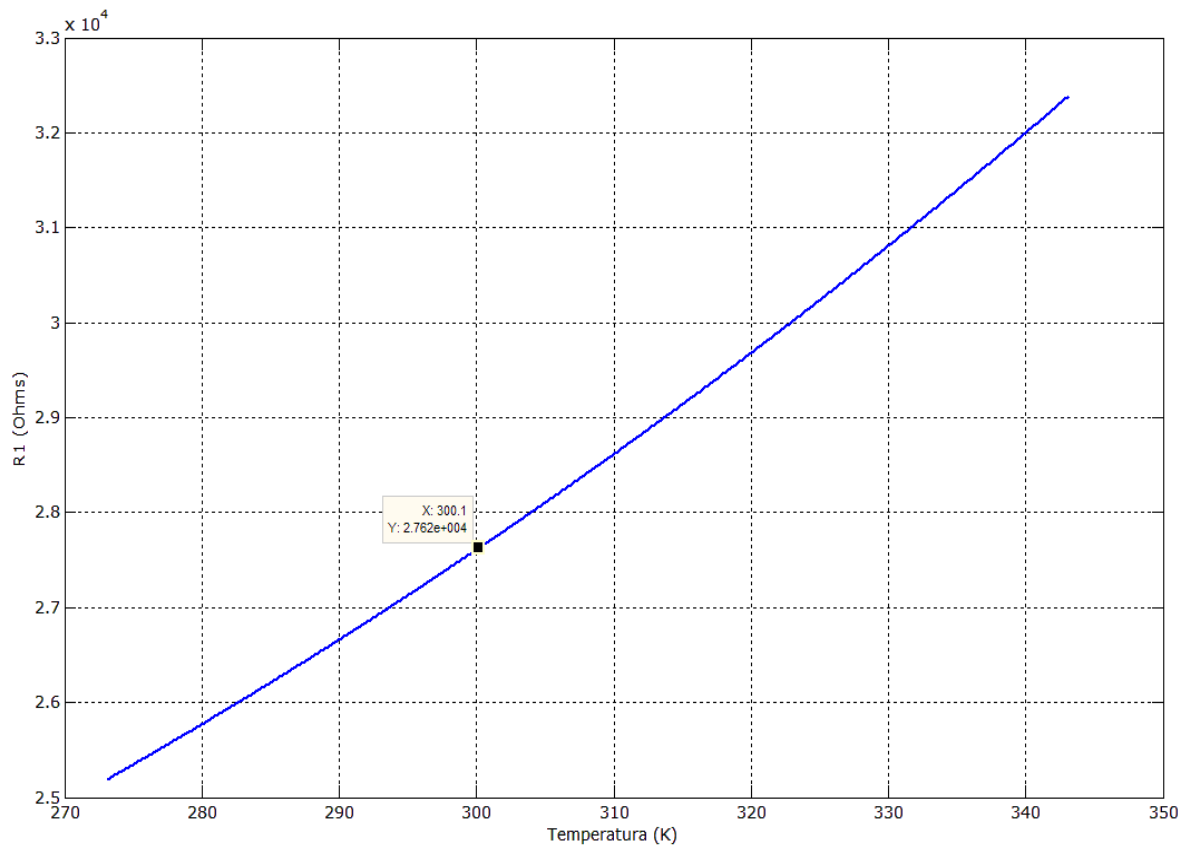


Figura 4.7 - Variação de R1 com a temperatura

Outros parâmetros utilizados foram  $I = 7,5 \mu\text{A}$  (corrente de ajuste da corrente de saída do núcleo do conversor),  $m = 5$  (ganho de corrente) e  $C = 0$ . Em que,  $C$  é uma constante de integração que resulta da resolução da expressão (4.12). O valor de  $C$  é determinado a partir das condições de contorno do problema.

A constante  $m$  foi escolhida por tentativa e erro considerando que afeta diretamente o valor de  $R1$ . Dessa forma, valores de  $m$  que resultem em correntes de saída abaixo de  $20 \mu\text{A}$  geram valores elevados de  $R1$ , acima de  $50 \text{ k}\Omega$ , aumentando de forma significativa a área de silício para esse resistor. Portanto, o melhor valor encontrado foi  $m = 5$ .

Assim, conforme indicado na Figura 4.7, na temperatura de  $27^\circ\text{C}$  a resistência é de  $27,62 \text{ k}\Omega$ . A partir desse dado e dos parâmetros de corrente e tensão os demais componentes foram calculados.

#### 4.3.6 - Dimensionamento dos Componentes da Referência de Corrente

Neste item, são vistos os procedimentos para dimensionar os componentes da referência de corrente.

Admitindo que todos os transistores MN1, MN2, MN3, MP1 e MP2 da Figura 4.6 operam na saturação, atribui-se um valor inicial de  $\frac{W}{L}$  onde a tensão porta-fonte é conhecida. Em seguida, através de simulações, as dimensões serão ajustadas considerando o efeito de cada transistor em determinada característica do circuito.

Em [26] são apresentadas diversas curvas de transistores NMOS e PMOS juntamente com seus respectivos  $V_{GS}$  e  $V_{SG}$  para determinadas relações de  $\frac{W}{L}$ . Partindo das especificações de  $I$  e  $m$ , escolhem-se os valores de  $W$  e  $L$  de MN2 na região de saturação. A relação escolhida é  $\left(\frac{W}{L}\right)_2 = \frac{0,8}{1,0}$  para  $V_{GS} = 0,9$  V. Com isso, a tensão na porta de MN2,  $V_{G2}$ , é 1,87 V. Vamos admitir para início de cálculo que  $V_{GS1} = V_{GS2} = 1,87/2 \approx 0,94$  V. Com isso:

$$\left(\frac{W}{L}\right)_{M1} = \left(\frac{W}{L}\right)_{M3} = \frac{2mI}{K_N'(V_{GS} - V_{TN})^2} \approx 1,88 \quad (4.13)$$

Na expressão (4.13), para um valor de  $L = 2,0$   $\mu\text{m}$  encontra-se  $W = 3,7$   $\mu\text{m}$ .

De acordo com [17], verifica-se a relação  $\left(\frac{W}{L}\right)_{P2} = m\left(\frac{W}{L}\right)_{P1}$ . Adotando o mesmo procedimento usado na determinação das dimensões de MN2 para determinar  $\frac{W}{L}$  de MP1, chega-se a  $\left(\frac{W}{L}\right)_{P1} = \frac{10}{10}$ . A tabela 4.2 contém as dimensões iniciais dos transistores e aquelas encontradas após várias simulações.

As dimensões de MP3 e MP4 foram encontradas diretamente por simulação. O espelho de corrente Wilson N foi aproveitado de bibliotecas de outros projetos feitos no *Cadence*.

Tabela 4.2 – Dimensões dos transistores da referência de corrente

Transistor	Valor calculado W ( $\mu\text{m}$ ) / L ( $\mu\text{m}$ )	Valor ajustado por simulação W ( $\mu\text{m}$ ) / L ( $\mu\text{m}$ )
MP1	10/10	10/5,0
MP2	10/50	10/1,0
MP3	-	10/4,0
MP4	-	10/18
MN1	3,7/2,0	3,0/5,0
MN2	0,8/1,0	3,0/1,0
MN3	3,7/2,0	5,0/1,8
MN4	-	10/1,0
MN5	-	10/1,0
MN6	-	10/1,0
MN7	-	10/1,0

#### 4.3.7 - Especificação do Estágio de Saída

O estágio de saída deve garantir o ganho de corrente necessário para saída do conversor. Além disso, deve fazer o acoplamento entre a saída do conversor V-I e a entrada do conversor A/D. Portanto, suas especificações principais são:

- Ganho de corrente total igual a vinte, pois o estágio de saída receberá uma corrente variando na faixa de  $-5 \mu\text{A}$  a  $5 \mu\text{A}$  e deve entregar uma corrente na faixa de  $-100 \mu\text{A}$  a  $100 \mu\text{A}$ .
- Resistência de saída elevada da ordem de  $1 \text{ M}\Omega$ , para tornar a saída de corrente menos dependente da carga.
- Consumo abaixo das especificações iniciais do conversor V-I, tendo em vista que em relação aos outros blocos, este é o bloco que dissipa maior potência.

#### 4.3.8 - Escolha da Topologia do Estágio de Saída

O estágio de saída é responsável pelo acoplamento da saída do conversor V-I com a entrada do conversor A/D, dando o ganho necessário ao sinal de corrente que atravessa aquele bloco. Assim, o sinal de corrente que vem do núcleo do conversor V-I tem um ganho igual a vinte, antes de ser entregue à entrada do conversor A-D.

A dificuldade de projeto desse estágio foi encontrar na literatura ou em outros trabalhos uma topologia de circuito que permitisse trabalhar com correntes simétricas, com tensão de alimentação de 0 – VDD (não simétrica) e cujas especificações de consumo e área estivessem dentro daquelas estabelecidas para o conversor V-I.

O projeto do estágio de saída teve por base uma topologia apresentada em [25] que também é utilizada em [12], onde é sugerida a utilização de dois espelhos de corrente, um NMOS e outro PMOS de dois transistores cada, na construção de um espelho de corrente *up and down*. A esta topologia foram agregados mais dois conjuntos de espelhos NMOS e PMOS do tipo Wilson, já existentes em bibliotecas de outros projetos no *Cadence*.

O resultado foi um conjunto de espelhos de corrente interligados em cascata como na Figura 4.8.

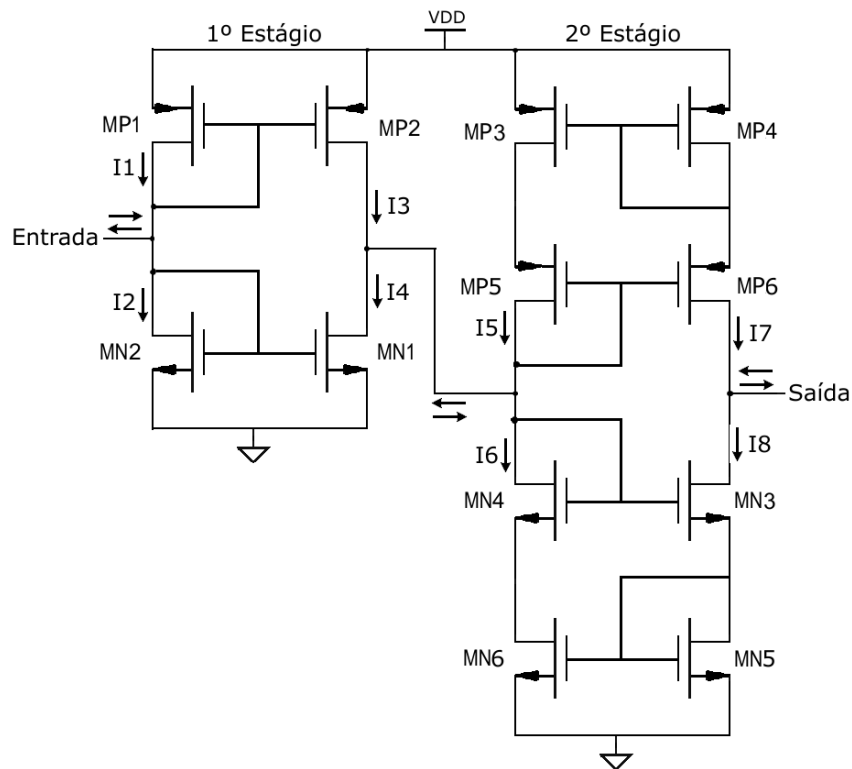


Figura 4.8 – Estágio de saída do conversor V-I

A princípio, o que motivou a escolha desta topologia foi a sua simplicidade, haja vista que apenas espelhos de corrente são utilizados. Os requisitos de área e potência também foram considerados, de modo a não exceder aqueles adotados no projeto do conversor V-I.

Na Figura 4.8, o primeiro conjunto de espelhos de corrente de dois transistores (MN1, MN2 e MP1, MP2) possui ganho igual a quatro. O segundo conjunto é formado por



espelhos Wilson (MN3, MN4, MN5, MN6 e MP3, MP4, MP5, MP6) com ganho igual a cinco. Essa limitação de ganho, de acordo com [17], é para evitar o problema da não linearidade que é proporcional ao ganho de cada espelho. Assim, em vez de um único bloco de espelhos de corrente com ganho vinte, optou-se pela divisão do estágio de saída em dois blocos de espelhos de corrente.

De acordo com a Figura 4.9, a corrente na entrada do estágio de saída é proveniente do núcleo do conversor V-I após ser ajustada pela corrente  $I_{REF}$ , gerada pela referência de corrente.

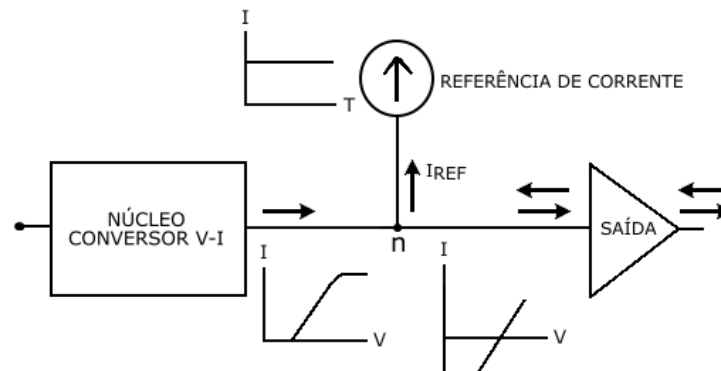


Figura 4.9 – Ajuste da corrente de saída do núcleo do conversor V-I

Como não foi projetado um circuito para desligar a referência de corrente e o estágio de saída, haverá consumo de energia mesmo sem haver tensão na entrada do núcleo do conversor V-I. Um controle externo que desligue a alimentação desses blocos será implementado em trabalhos futuros.

Na Figura 4.8, a corrente de entrada do primeiro estágio é a soma das correntes  $I_1$  e  $I_2$ . De forma semelhante, a corrente de saída do primeiro estágio é a soma das correntes  $I_3$  e  $I_4$ . O mesmo vale para os pares de corrente  $I_5$ ,  $I_6$  e  $I_7$ ,  $I_8$  do segundo estágio. Vale lembrar que a corrente de entrada do primeiro estágio é simétrica e varia na faixa de  $-5 \mu\text{A}$  a  $5 \mu\text{A}$ .

Assim, quando a corrente de entrada for  $-5 \mu\text{A}$  (saindo do nó de entrada), o potencial desse nó será mínimo, pois MP1 está sendo exigido ao máximo e sua corrente de dreno será a maior possível. Portanto, a tensão fonte-porta de MN1 terá seu maior valor, o que implica que a tensão de porta de MP1 (a tensão de entrada) será mínima.

Enquanto a corrente de entrada diminui em módulo até zero, a corrente  $I_1$  também diminui, elevando o potencial no nó de entrada e aumentando a corrente  $I_2$ .

No outro extremo, quando a corrente de entrada for de  $5 \mu\text{A}$  (entrando no nó de entrada), a corrente  $I_2$  será máxima, portanto a tensão fonte-porta de MN2, isto é a tensão de entrada, também será.

As correntes  $I_1$  e  $I_2$  são *espelhadas* e multiplicadas por um fator de ganho igual a quatro, resultando nas correntes  $I_3$  e  $I_4$ . A soma destas correntes no nó de saída do primeiro estágio resultará na corrente de entrada do segundo estágio. Observe que haverá uma inversão no sentido da corrente que sai de um estágio. No caso, quando  $-5 \mu\text{A}$  são aplicados à entrada do primeiro estágio, o transistor MP2 será o responsável pela corrente de saída do primeiro estágio e pela corrente em MN1. Portanto, a corrente de saída terá sentido inverso daquela na entrada do bloco.

De forma análoga à descrita, no segundo estágio o transistor MN4 será o responsável por conduzir a maior parte da corrente, quando a corrente na entrada do primeiro estágio for de  $-5 \mu\text{A}$ . Neste caso, haverá  $20 \mu\text{A}$  sendo drenados pelo segundo estágio. Portanto, MN6 estará trabalhando com a maior corrente de dreno possível e o potencial do nó de entrada do segundo estágio será máximo. No outro extremo, quando a corrente na entrada do segundo estágio for  $-20 \mu\text{A}$ , então será o transistor MP5 que trabalhará com a maior corrente de dreno possível. A tensão fonte-porta desse transistor será a maior possível, portanto a tensão de porta terá o menor valor. A corrente de saída do segundo estágio será invertida em relação à entrada desse estágio, mas terá o sentido igual à corrente de entrada do bloco. O ganho dado por esse último estágio será igual a cinco.

#### **4.3.9 - Dimensionamento do Estágio de Saída**

O dimensionamento dos transistores do estágio de saída foi feito por simulação. Dentre as bibliotecas do *Cadence*, de projetos anteriores já havia células de espelhos de corrente Wilson PMOS e NMOS e também de espelhos de corrente de dois transistores. O que se fez foi interligar essas células, como na Figura 4.8, e conectá-las aos demais blocos, montando a topologia final do conversor. Então, variando a tensão de entrada do conversor, foi possível observar no simulador as correntes  $I_1$  a  $I_8$  e ajustar as dimensões dos transistores até se chegar a um resultado aceitável.

A Tabela 4.3 traz as dimensões dos transistores MN1 a MN6 e MP1 a MP6 da topologia da Figura 4.10.

Tabela 4.3 – Dimensões dos transistores do estágio de saída

Transistor	Valor ajustado por simulação W ( $\mu\text{m}$ ) / L ( $\mu\text{m}$ )
MP1	10/6,0
MP2	24/6,0
MP3	20/1,0
MP4	100/1,0
MP5	20/1,0
MP6	100/1,0
MN1	25/28
MN2	5,0/28
MN3	50/1,0
MN4	10/1,0
MN5	50/1,0
MN6	10/1,0

#### 4.3.10 - Conversor V-I Completo

Com o projeto e a integração de todos os blocos, chegou-se à topologia final do conversor tensão-corrente. O diagrama elétrico do conversor V-I está na Figura 4.10, onde todas as estruturas projetadas aparecem interligadas. O Apêndice B traz o circuito da Figura 4.10 com mais detalhes, bem como uma tabela contendo as dimensões de todos os transistores.

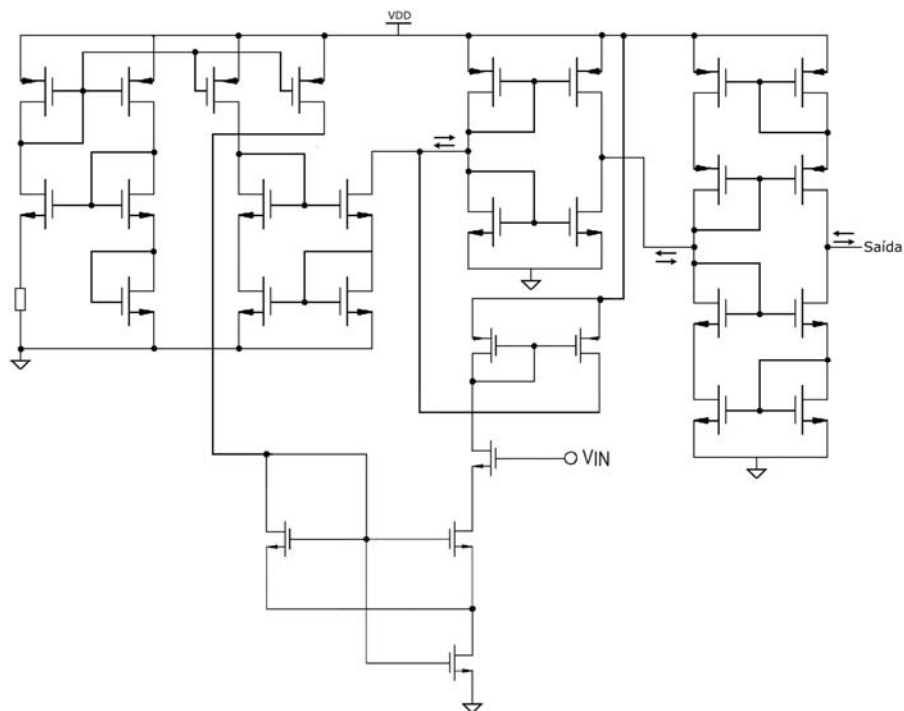


Figura 4.10 – Topologia do conversor V-I completo

A topologia da Figura 4.10 foi validada através de simulações, tanto do esquemático quanto do circuito extraído. Foram aplicadas na entrada  $V_{IN}$ , tensões DC senoidais e rampa para verificar o ponto de operação, a resposta do circuito na frequência máxima de operação e a resposta transitória respectivamente.

#### 4.3.11 O CHIP DE TESTE

Para validar as estruturas projetadas até aqui, o *chip* de teste da Figura 4.11, construído na tecnologia descrita foi enviado para fabricação. Neste chip foram construídos separadamente o conversor V-I completo, o núcleo do conversor com a referência de corrente, a referência de corrente isolada e o estágio de saída isolado. As três primeiras estruturas possuem pinos de saída para sua caracterização, enquanto a última terá que ser caracterizada utilizando *pads* internos.

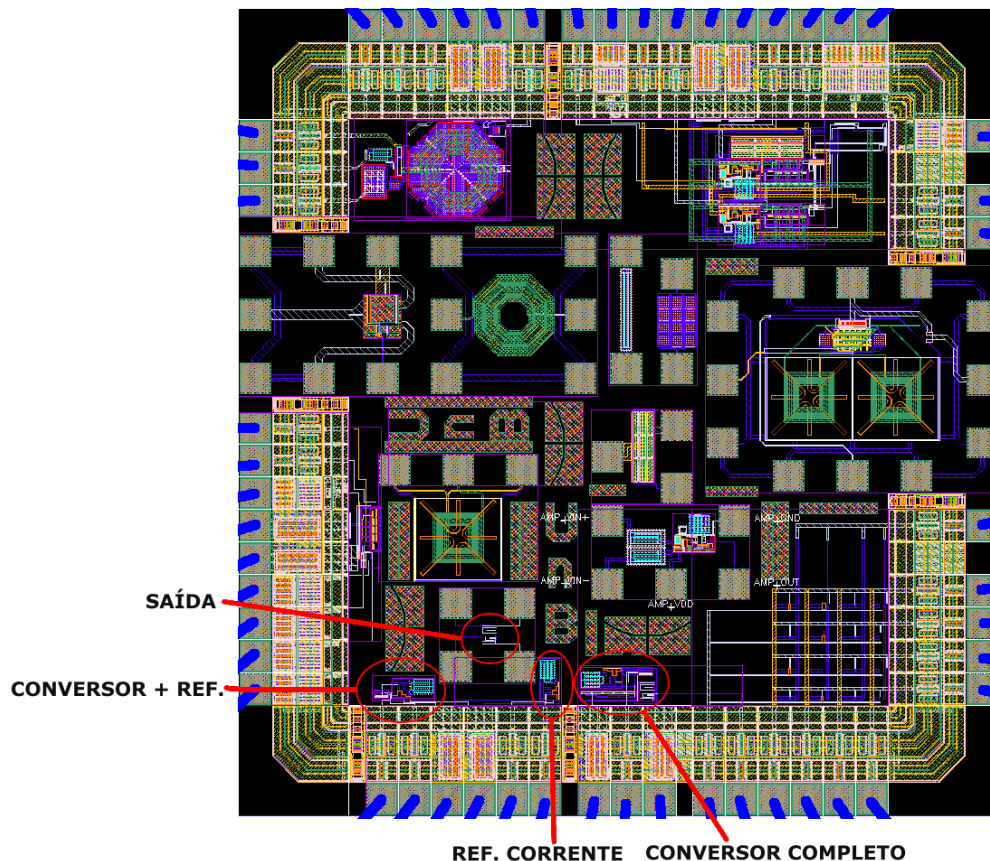


Figura 4.11 – Chip de teste enviado para fabricação

As estruturas implementadas neste trabalho aparecem em destaque no *chip* da Figura 4.11. Os leiautes detalhados de cada estrutura com suas respectivas dimensões são dados no Apêndice E.

A validação e caracterização das topologias serão feitas em placa de circuito impresso, para os circuitos com pinos de saída, e com a utilização de pontas de prova em equipamento apropriado, para o circuito com *pads* internos.

Para o procedimento acima, o laboratório de medidas conta com medidores de precisão, fontes de tensão e corrente como os equipamentos listados a seguir:

- Keithley 6517 A : Eletrômetro com fonte de tensão;
- Keithley 2400 : Conjunto fonte/medidor (IxV, VxI)
- *Probe station*;
- Gerador de sinais Agilent 3330 A
- Osciloscópio HP 5460

Para validação da topologia do conversor V-I completo, há duas alternativas: utilizar o conversor A/D fabricado anteriormente em outro *chip* ou montar uma estrutura com resistores de baixa tolerância e capacitores cerâmicos para simular a entrada do conversor A/D, como a da Figura 4.12.

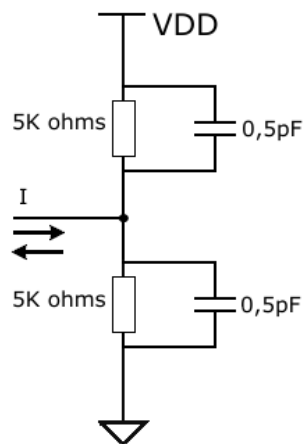


Figura 4.12 - Circuito de simulação da entrada do conversor A/D

Utilizando a fonte Keithley 2400, será aplicada uma tensão com amplitude variando linearmente de 1 V a 2 V (no tempo de 1s) para avaliar a operação DC do conversor. Em seguida, o tempo será reduzido para 40  $\mu$ s para avaliar a resposta transiente do conversor.

Uma tensão senoidal de frequência 25 kHz com dc de 1,5 V e amplitude de 0,5 V será aplicada ao conversor V-I para verificar o funcionamento do conversor na frequência máxima de operação. Outros procedimentos para medida de linearidade e ruído serão desenvolvidos junto com o engenheiro de testes do laboratório de medidas.

O bloco do núcleo do conversor com a fonte de corrente pode ser validado de forma semelhante à descrita, adaptando-se o circuito da Figura 4.12 para simular a entrada do estágio de saída.

A validação da topologia da referência de corrente poderá ser feita usando um resistor de aproximadamente  $500 \Omega$  ligado a gnd e as fontes de corrente e tensão especificadas anteriormente. Para verificar a estabilidade da corrente de referência com a temperatura, serão feitos testes em estufa com controle térmico cujos detalhes estão sendo estudados.

Para validar o estágio de saída será utilizada uma *probe station* onde se posicionará o *chip* sobre uma mesa com microscópio e ponteiras. Dessa forma, serão acessados os pontos de teste (entrada e saída) e alimentação (VDD e gnd) do circuito de saída. O Eletrômetro Keithley 6517 A e o conjunto fonte medidor Keithley 2400 excitarão o módulo e efetuarão as medidas correspondentes.

## 5 - RESULTADOS E DISCUSSÃO

O propósito deste capítulo é relatar e analisar os resultados obtidos no projeto do conversor V-I como um todo e de seus diversos módulos. Foram feitas simulações tanto de esquemático quanto do circuito extraído do leiaute, com resistências e capacitâncias parasitas. Assim, nos gráficos abaixo as simulações de leiaute se referem ao circuito extraído.

### 5.1 - CONVERSOR TENSÃO-CORRENTE COMPLETO

Para verificar a resposta do conversor V-I completo foi utilizado o circuito da Figura 4.12, que simula a impedância de entrada do conversor A/D sem a preocupação com os sinais de controle desse bloco.

A simulação DC do conversor V-I foi realizada com o simulador *Spectre*, conforme citado no capítulo 4, usando como parâmetro variável a tensão de entrada do conversor V-I. Assim, tensões ( $V_{IN}$ ) na faixa de 1 V a 2 V foram aplicadas à entrada do conversor até que a saída ( $I_{OUT}$ ) se estabilizasse. O resultado foi a curva da Figura 5.1.

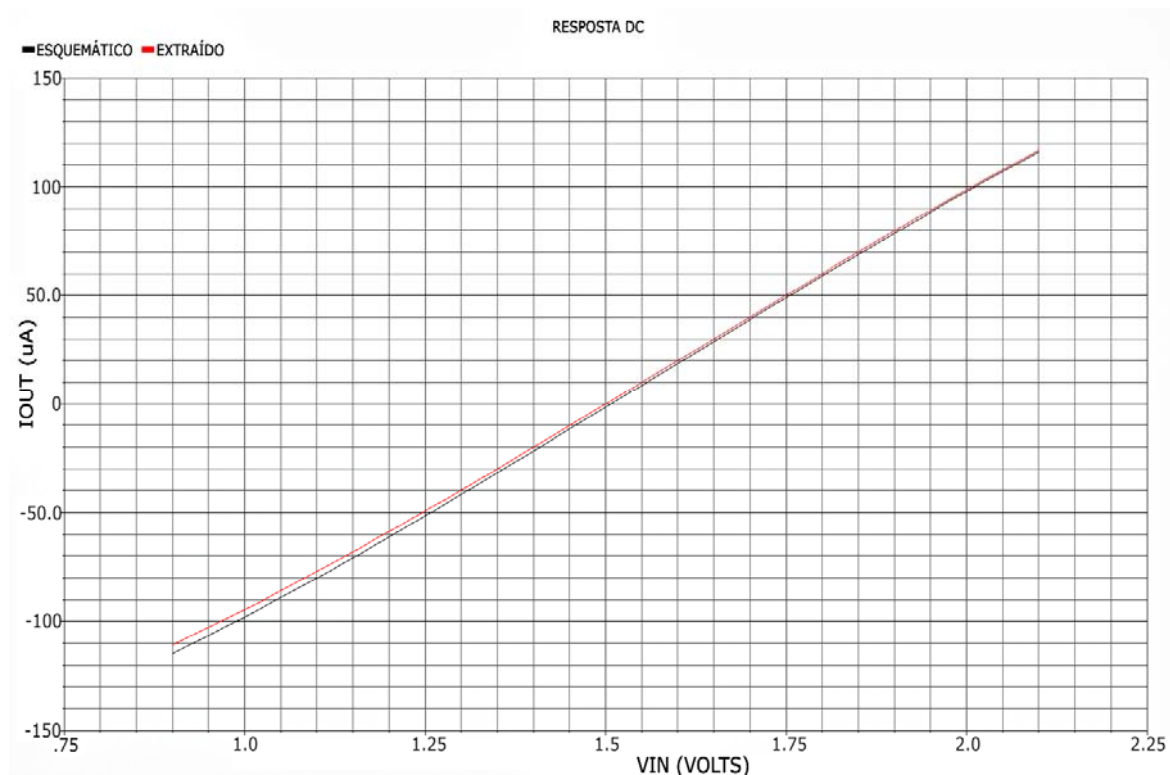


Figura 5.1 – Simulação DC do conversor V-I. Corrente de saída x Tensão de entrada

Na Figura 5.1, a simulação do esquemático resultou em correntes na faixa de  $-97,60 \mu\text{A}$  a  $97,48 \mu\text{A}$  com zero em aproximadamente  $1,54 \text{ V}$ . Enquanto que a simulação do leiaute resultou em correntes na faixa de  $-95 \mu\text{A}$  a  $98 \mu\text{A}$  com zero em  $1,5 \text{ V}$ . A extração de resistências e capacitâncias parasitas modificou as tensões no circuito original, aumentando o erro gerado pelos espelhos de corrente devido ao desvio das tensões de entrada.

Tendo em vista que o conversor A/D tem frequência de amostragem de  $50 \text{ kHz}$ , a frequência máxima do sinal de tensão no conversor V-I é de  $25 \text{ kHz}$ . Assim, a resposta do conversor V-I (esquemático) a uma entrada senoidal de tensão de  $25 \text{ kHz}$  está na Figura 5.2.

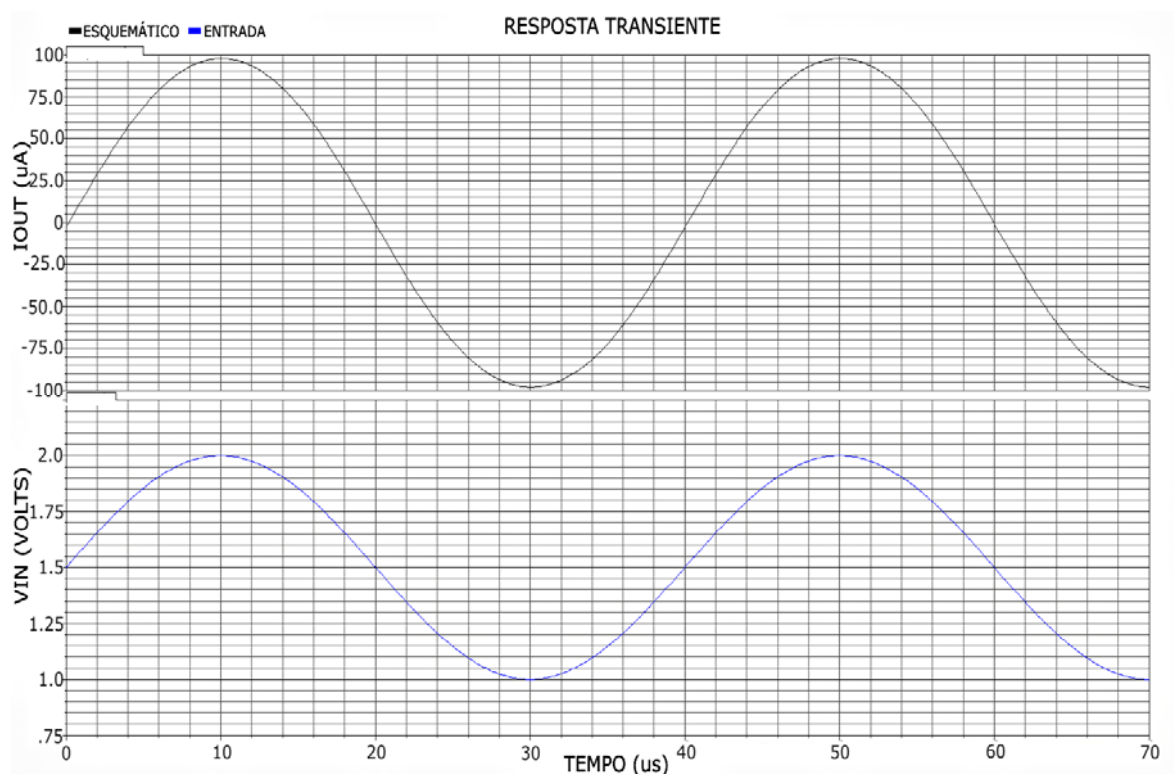


Figura 5.2 – Entrada de tensão e saída de corrente do conversor V-I (esquemático)

Observa-se na Figura 5.2 que a corrente de saída do conversor V-I responde às variações da tensão de entrada na frequência máxima de operação. Os limites de corrente de saída estão dentro da faixa de  $-97 \mu\text{A}$  a  $97 \mu\text{A}$ .

Na Figura 5.3, foram simulados o esquemático e o circuito extraído do conversor V-I para uma entrada senoidal de tensão na frequência máxima de operação do conversor,  $25 \text{ kHz}$ .



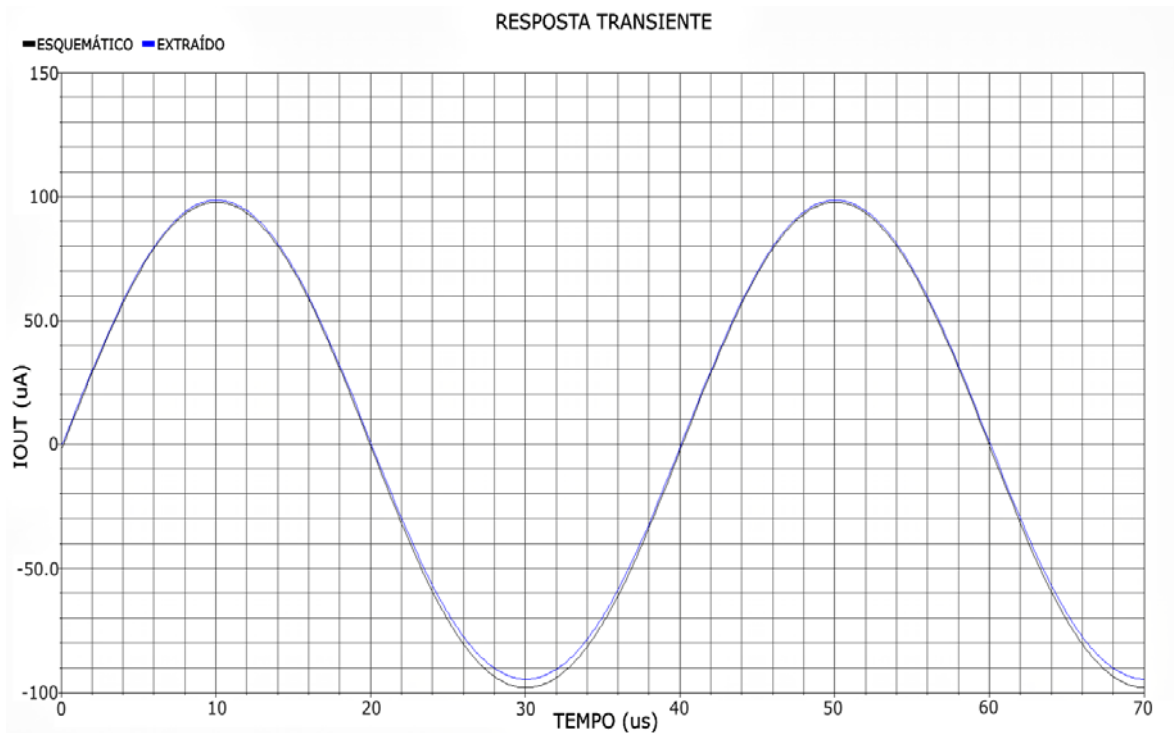


Figura 5.3 – Saída de corrente do conversor V-I para entrada de tensão senoidal de 25 kHz

Novamente, observa-se uma diferença de 3  $\mu\text{A}$  entre as duas simulações que foi descrita anteriormente.

Na Figura 5.4 uma tensão crescente de 1 V a 2 V no intervalo de tempo de 40  $\mu\text{s}$  é aplicada ao conversor. A inclinação da corrente de saída acompanha a da tensão de entrada.

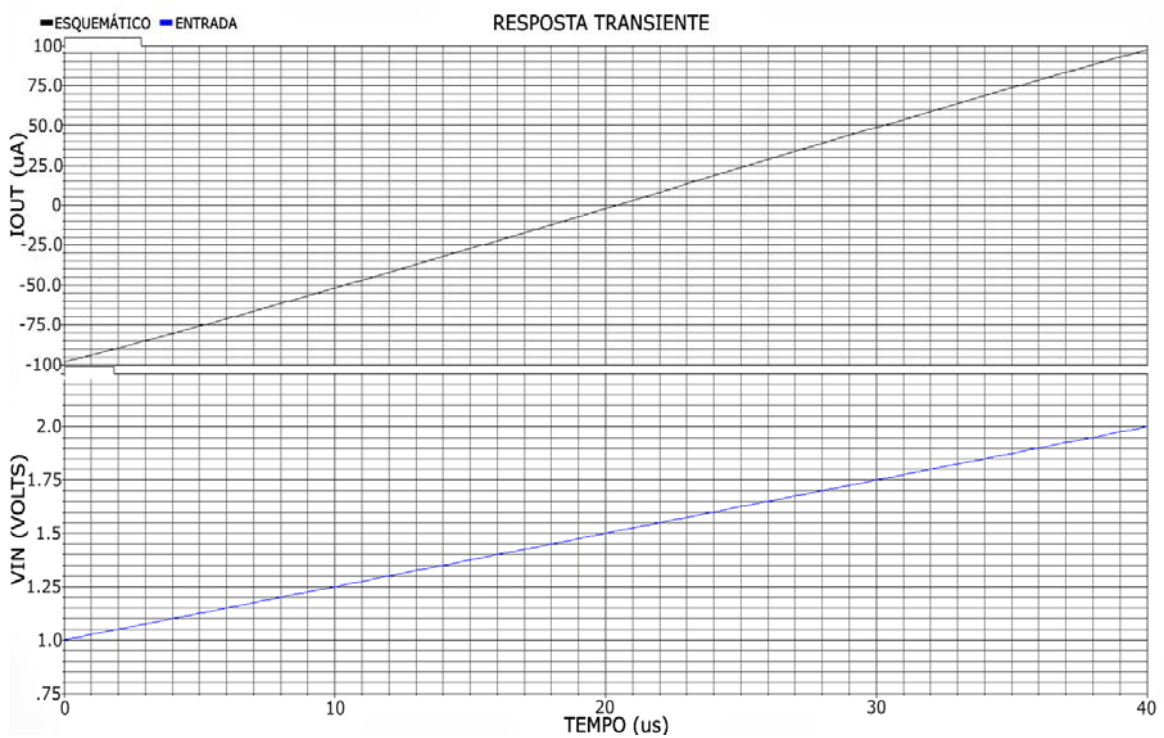


Figura 5.4 – Saída de corrente do conversor V-I para uma tensão rampa de entrada

A Figura 5.4 indica a resposta transiente do circuito. Portanto, o conversor V-I é capaz de responder a uma variação de tensão em sua entrada, dentro do período da frequência máxima de operação.

Do exposto, a funcionalidade do conversor V-I foi comprovada. Entretanto, a faixa de corrente de saída é de  $-95 \mu\text{A}$  a  $95 \mu\text{A}$  (considerando o circuito extraído). Além disso, a resposta do conversor V-I é satisfatória para sinais de tensão na frequência de 25 kHz. A estabilidade térmica também ficou restrita a uma faixa menor que a esperada (aproximadamente  $0^\circ\text{C}$  a  $30^\circ\text{C}$ ), devido ao núcleo do conversor (ver Apêndice C)

As simulações e resultados do núcleo do conversor e da fonte de corrente constam nos Apêndice C e D respectivamente.

## 6 - CONCLUSÕES E RECOMENDAÇÕES

Neste trabalho foi projetado um conversor tensão-corrente com entrada na faixa de 1 V a 2 V e saída de  $-100 \mu\text{A}$  a  $100 \mu\text{A}$  ( $\pm 5 \mu\text{A}$ ), utilizando tecnologia CMOS de  $0,35 \mu\text{m}$ . O Circuito foi enviado para prototipagem para validar e caracterizar posteriormente as estruturas projetadas.

O funcionamento do conversor foi verificado por simulação tanto do circuito esquemático quanto do extraído.

A corrente de saída atingiu os valores de  $-97 \mu\text{A}$  a  $97 \mu\text{A}$  para o esquemático, e  $-95 \mu\text{A}$  a  $95 \mu\text{A}$  para o circuito extraído.

A estabilidade térmica especificada foi atingida na faixa de 0 a  $30^\circ \text{C}$ . Na faixa de 0 a  $70^\circ \text{C}$  a especificação original não foi alcançada.

Neste trabalho foi testada uma nova topologia de conversor V-I, construída a partir de blocos mais simples e com saída de corrente simétrica. Além disso, todos os blocos poderão ser reaproveitados em projetos de outras estruturas haja vista que serão caracterizados em laboratório.

O requisito de área foi atingido, considerando as especificações iniciais. Já o requisito de consumo tem a ressalva do conversor V-I drenar uma corrente de  $150 \mu\text{A}$  mesmo sem tensão de entrada. Portanto, deverá ser ativado apenas nas operações de aquisição de dados pelo condicionador de sinais. Esse controle pode ser feito pelo mesmo sinal que ativa o conversor A/D, bastando adicionar um transistor NMOS entre a linha de VDD e o conversor V-I, com o sinal de controle no terminal de porta desse transistor.

Para trabalhos futuros, inicialmente estão previstas a validação e caracterização do conversor e de seus blocos. Também poderá ser estudada a utilização do conversor em um SoC reconfigurável, com sensor de imagem APS, para rastreabilidade animal e vegetal.

Em trabalhos futuros, espera-se também otimizar o circuito projetado, de modo a atender melhor as especificações originais, efetuando eventuais ajustes no circuito do conversor A/D, se necessário.

## REFERÊNCIAS BIBLIOGRÁFICAS

- [1] – Costa, J., Beserra, G., Araujo, G., Marra, J., Rocha, A., Costa, J. C. - Projeto de Estruturas de um Processador RISC para Aplicação em um SoC de Controle de Irrigação. X Workshop IBERCHIP, 2004.
- [2] – Chen C.C., Cheng C., - Future SoC Design Challenges and Solutions. IEEE Intl. Symp. Quality Electronic Desing, San Jose CA, Mar 2002.
- [3] – Costa, J.D. – Implementação de um Processador RISC 16-Bits CMOS num Sistema em Chip. Dissertação mestrado engenharia elétrica. Universidade de Brasília, 2004.
- [4] – Costa, J., Melo, M., Veneziano, W., Jacobi, R., Rocha, A, Costa, J.C. Módulo IP de um Processador para Aplicações Embarcadas sem Fio, IX Workshop IBERCHIP, Havana, Cuba, 2003.
- [5] – Amaral, W.A. – Amplificador de Baixo Ruído a 900 MHz em Tecnologia CMOS para Transceptor de RF em SoC. Dissertação mestrado em engenharia elétrica. Universidade de Brasília, 2004.
- [6] – Tavares, F. – Conversor A/D Cíclico Baseado em Dispositivos de Corrente Chaveada CMOS para Sistema de Controle de Irrigação em Chip. Monografia graduação em engenharia elétrica. Universidade de Brasília, 2005.
- [7] – Instituto do Milênio – SCMN (2003) Livro Branco: Sistema de Controle de Irrigação – SCI, Brasil.
- [8] – Bernardson, P.S., NELSON, D.H. – Voltage-to-Current Converter with MOS Reference Resistor. U.S Patent Documents, nº 5.610.505, Mar 1997.
- [9] – Allen, P.E., Holberg, D.R. – CMOS Analog Circuit Design New York, Oxford University Press, 2002.
- [10] – Fotouhi, Bahram – All MOS Voltage-to-Current Converter IEEE Journal of Solid-State Circuits, Vol. 36, Nº 1, Jan 2001.
- [11] – Shukla, R., Ramirez, J., Martin, A., Carvajal, R. - A Low Voltage Rail to Rail V-I Conversion Scheme for Applications in Current Mode A/D Converters. IEEE International Symposium on Circuits and Systems 2004, ISCAS 2004, May 2004, pp. 916-919, Vol 1.
- [12] – Huang, H., Hsieh, W., Chen, K. – Programmable Voltage-to-Current Converter with Linear Voltage Control Resistor. IEEE International Symposium on Circuits and Systems 2008, ISCAS 2008, May 2008.
- [13] – Gupta, V. – An Accurate, Trimless, High PSRR, Low Voltage CMOS Bandgap Reference IC. Tese de doutorado, Georgia Institute of Technology, 2007.

- [14] – Vittoz, E. – The Design Of High Performance Analog Circuits on Digital CMOS Chips. IEEE Journal of Solid State Circuits, vol. 20, Jun 1985.
- [15] – Sengupta, S., Saurabh, K., Allen, P.E. – A Process, Voltage and Temperature Compensated CMOS Constant Current Reference. IEEE International Symposium on Circuits and Systems 2004, ISCAS, 2004.
- [16] – Dehghani, R., Atarodi, S.M. – A New Low Voltage Precision CMOS Current Reference With no External Components. IEEE Transaction on Circuits II: Analog and Digital Signal Processing, vol. 50, n° 12, pp 928-932, Dec 2003.
- [17] – Gray, P., Hurst, P.J., Meyer, R. – Analysis and Design of Analog Integrated Circuits, John Wiley & Sons, Inc, 4<sup>a</sup> Ed., New York, 2001.
- [18] – Fiori, F. Crovetto, P.S. – Compact Temperature-Compensated CMOS Current Reference. Electronics Letters, Jan 2003, Vol. 39, n° 1.
- [19] – Henri, J.Oguey., Aebischer, D. – CMOS Current Reference Without Resistance. Journal of Solid State Circuits, vol. 32, Jun 1997.
- [20] – Leung, K.N., Mok, K.T., Kwok, K.C. – CMOS Voltage Reference. U.S Patent Documents, n° 6,441,680, Aug 2002.
- [21] – Sansen, W., Eynde, F., Steyaert, M. – A CMOS temperature compensated current reference. IEEE Journal Solid State Circuits, vol. 23, n° 3, pp 821-824, Jun 1988.
- [22] – Fiori, F. Crovetto, P.S. – A New Compact Temperature-Compensated CMOS Current Reference. IEEE Transactions on Circuits and Systems, Vol. 52, n° 11, Nov 2005.
- [23] – Arquivo de Documentação de Projetos - Laboratório de Dispositivos e Circuitos Integrados - LDCI, Universidade de Brasília, Departamento de Eng. Elétrica, 2008.
- [24] – Martin, A.J; Carlosena, A.;Angulo, J.R; Carvajal, R.G. - Rail to Rail Tunable CMOS V-I Converter. IEEE International Symposium on Circuits and Systems 2006, ISCAS 2006, May 2006.
- [25] – Secareanu, R.M.; Friedman, G. – A High Precision CMOS Current Mirror Divider. Circuits and Systems, 1999. IEEE International Symposium on Circuits and Systems 1999, ISCAS 99, pages 314-317, vol 2.
- [26] – 0.35 um CMOS C35 Process Parameters, ENG-182, AMS, Revision 4.0, 2007.
- [27] – Tsvividis, Y.P. – Operation and Modeling of the MOS Transistor. McGraw-Hill, NY, 1987.
- [28] – [www.mathworks.com](http://www.mathworks.com)
- [29] – Lee, C., Park, H. – All CMOS temperature independent current reference. Electronic Letters, vol. 32 pp. 1281, Jul 1996.

## **APÊNDICES**

## A – CÁLCULO DO RESISTOR DA REFERÊNCIA DE CORRENTE

Conforme descrito no capítulo 4, o cálculo do resistor da referência de corrente fez uso do programa Matlab 7.1. Uma rotina simples foi implementada para obter o gráfico da variação da resistência com a temperatura. O procedimento consiste em primeiro em carregar um arquivo de parâmetros, *param.m*, visto abaixo.

### *param.m*

```
***** Definição de parâmetros *****
UON = 0.037; % m^2/Vs - mobilidade efetiva NMOS na temp de referência
Vtn = 0.60; % V - tensão de limiar NMOS na temp de referência
Vtp = 0.75; % V - tensão de limiar PMOS na temp de referência
TCV = -1.1e-3; % V/K - coeficiente de temperatura da tensão de limiar
NMOS
BEXN = 1.8; % - - expoente da mobilidade NMOS
KPN = 170; % uA/V^2 - fator de ganho NMOS
KPP = 58; % uA/V^2 - fator de ganho PMOS
```

Depois disso, basta carregar o arquivo com as expressões para o cálculo do resistor, *res.m*

### *res.m*

```
***** Definição de constantes *****
Tr = 300.15; % K - temperatura de referência (27°C)
M = 5; % - - relação de aspecto do espelho de corrente
I = 7e-6; % A - corrente de saída
*****
T = 273.15:0.1:343.15; % K - temperatura variável 273.15K - 343.15K
(0°C - 70°C)
%T = sym('T'); % K - temperatura variável 273.15K - 343.15K (0°C -
70°C)
*****
func_mob = UON * ((T./Tr).^(-BEXN)); % função mobilidade x temperatura
func_Vt = Vtn + TCV .* (T-Tr); % função tensão de limiar x temperatura
deriv_mob = - UON .* (BEXN./T) .* ((T./Tr).^(-BEXN)); % derivada da
mobilidade x temperatura
deriv_Vt = TCV ; % derivada da tensão de limiar x temperatura
*****
k1 = deriv_mob;
k2 = deriv_Vt;
k3 = M*I/UON;
k4 = Vtn/UON;
C1 = 1; %constante de integração
R2 = 1./k3.*k4+2./k3./k1.*k2+exp(-1/2.*k1.*T).*C1;
*****
a = (M*I/UON)*deriv_mob;
b = (2*M*I)/UON;
c = (Vtn/UON)*deriv_mob;
d = 2*deriv_Vt;
C1 = 0;
R1= exp(-a./b.*T).*C1+(c+d)./a;
```

Basta agora no *prompt* do *Matlab* carregar os dois arquivos *m* digitando seus nomes. Em seguida digita-se:

```
>> plot(T,R1)
```

## B – CIRCUITO ELÉTRICO DO CONVERSOR V-I

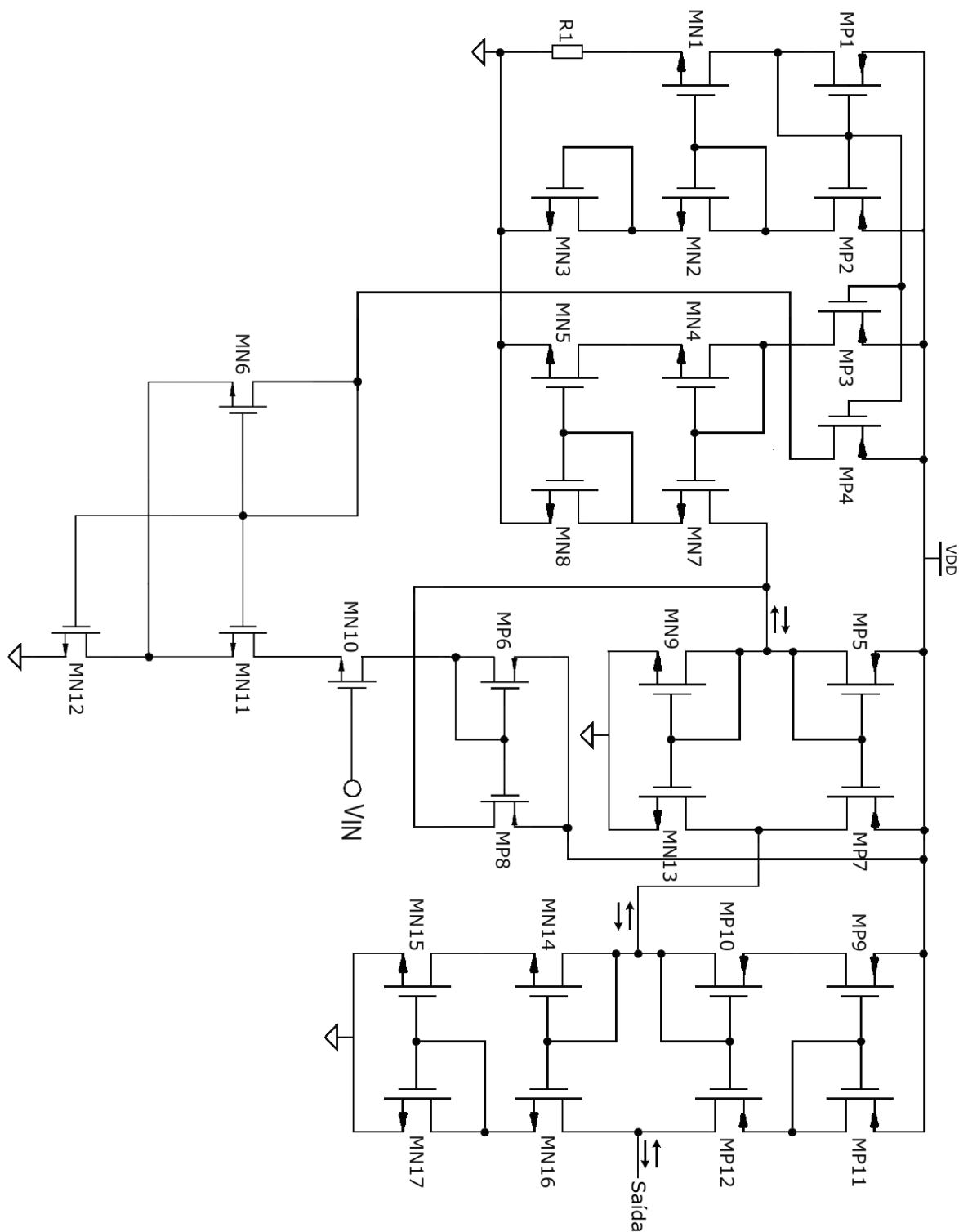


Figura B.1 – Conversor V-I Completo



Tabela B.1 – Dimensões dos Transistores do Conversor V-I ( $R_1 = 27,62 \text{ k}\Omega$ )

Transistor	W ( $\mu\text{m}$ ) / L ( $\mu\text{m}$ )
MN1	3,0/1,0
MN2	3,0/5,0
MN3	5,0/1,8
MN4	10/1,0
MN5	10/1,0
MN6	1,0/38
MN7	10/1,0
MN8	10/1,0
MN9	5,0/28
MN10	1,0/2,0
MN11	1,0/3,5
MN12	1,0/3,5
MN13	25/28
MN14	10/1,0
MN15	10/1,0
MN16	50/1,0
MN17	50/1,0
MP1	10/1,0
MP2	10/1,0
MP3	10/18
MP4	10/4,0
MP5	10/6,0
MP6	1,0/2,0
MP7	24/6,0
MP8	1,0/2,0
MP9	20/1,0
MP10	20/1,0
MP11	100/1,0
MP12	100/1,0

## C – SIMULAÇÃO DO NÚCLEO DO CONVERSOR V-I

A simulação da característica DC deste módulo é apresentada na Figura B.1 onde se tem a corrente de saída  $I_{OUT}$  em função da tensão de entrada  $V_{IN}$

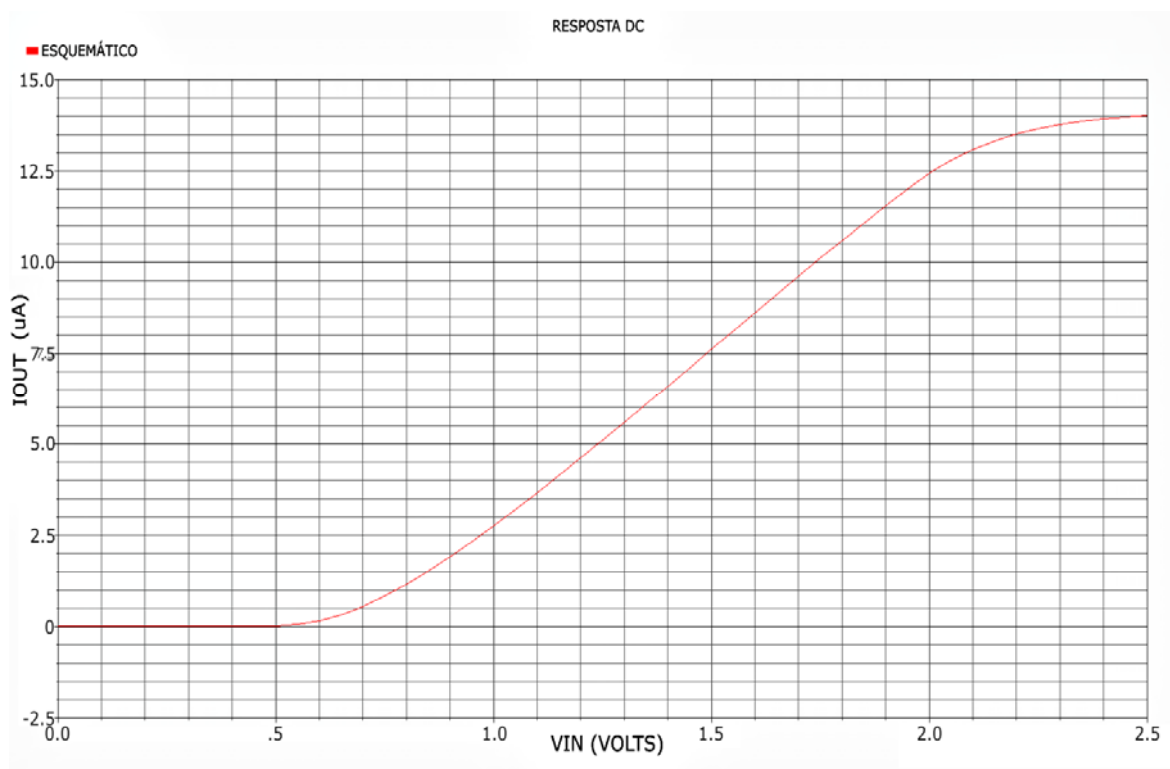


Figura C.1 –  $V_{IN} \times I_{OUT}$  do núcleo do conversor V-I

De acordo com a Figura C.1 o circuito não responde para tensões de entrada inferiores a 0,6 V, pois nessa faixa a tensão  $V_{GS}$  do transistor MN1 que é representada por  $V_{IN} - V_2$  na Figura 4.2, é inferior à tensão de limiar. Porém a faixa de interesse das tensões de entrada na faixa de 1 V a 2 V, produzindo correntes na faixa de 2,52  $\mu A$  a 12,50  $\mu A$  respectivamente.

A estabilidade térmica do circuito na faixa de temperatura de operação é apresentada na Figura C.2, onde é vista a curva  $V_{IN} \times I_{OUT}$  para na faixa de temperatura de operação (0 °C – 70 °C, a passos de 10 °C).

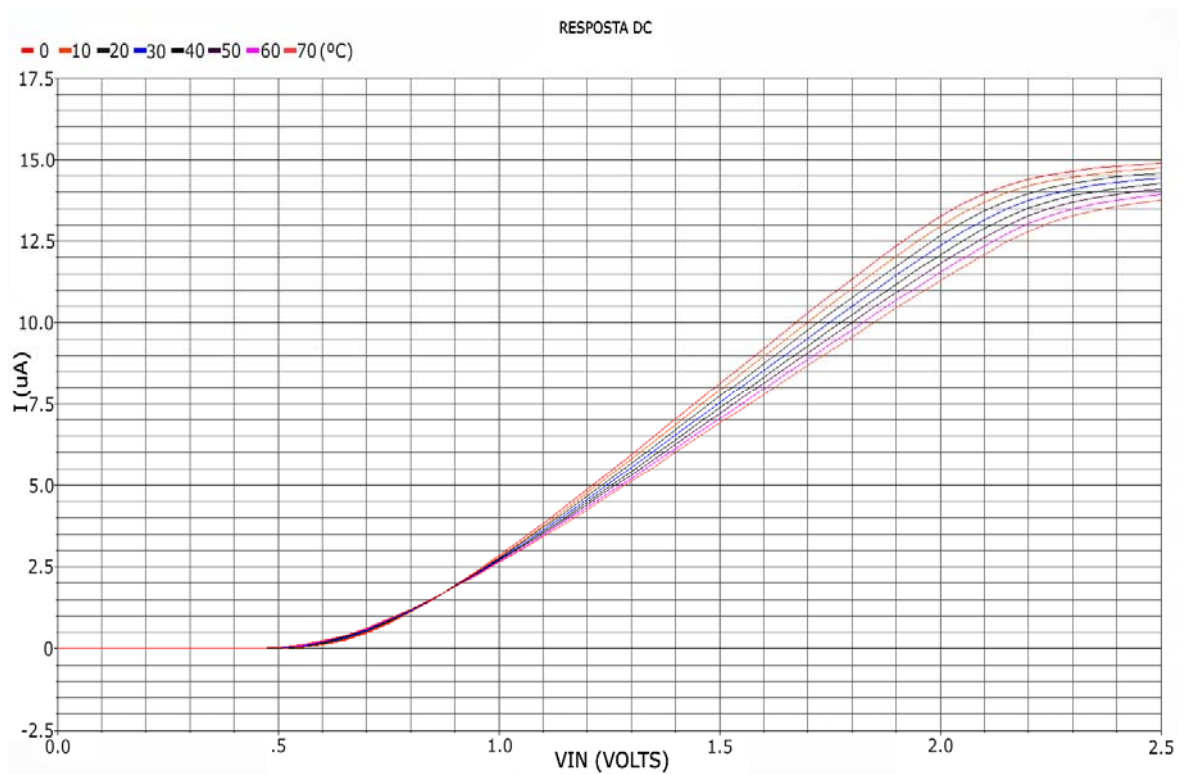


Figura C.2 – Estabilidade térmica do núcleo do conversor V-I (simulação do extraído)

De acordo com a Figura C.2, a variação da corrente de saída do núcleo do conversor chega a 9,5% do valor nominal na temperatura de 27 °C. A variação não afeta a linearidade do circuito dentro da faixa de trabalho, porém inviabiliza o ajuste da corrente de saída do conversor (não será possível obter correntes simétricas com zero em 1,5 V na saída do conversor V-I completo). Portanto, não será feita análise de temperatura com a topologia do conversor completo.

Apesar da equação (4.6) garantir a independência da corrente de saída em relação à tensão de limiar dos transistores (que varia com a temperatura), dois fatores não são considerados:

- A mobilidade  $\mu$  presente nos termos  $\beta_1$  e  $\beta_3$  que conforme visto possui dependência térmica;
- A inserção do espelho de corrente PMOS (MP1 e MP2) sem compensação térmica.

## D – SIMULAÇÃO DA REFERÊNCIA DE CORRENTE

A variação da corrente de polarização do conversor V-I com a temperatura é dada pela curva da Figura D.1. São apresentadas as curvas de esquemático e do circuito extraído. A diferença entre elas é de aproximadamente 0,06%, podendo ser desprezada.

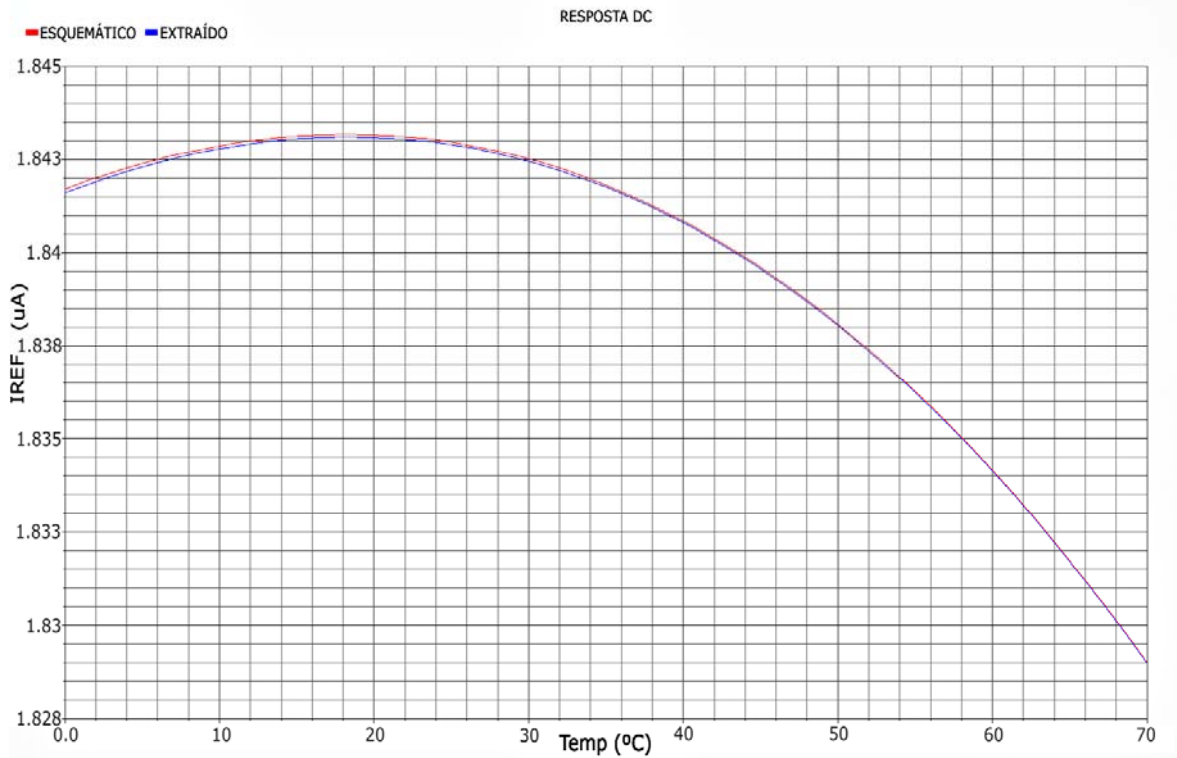


Figura D.1 – Estabilidade térmica da corrente de polarização do núcleo do conversor V-I

De acordo com a Figura D.1, na temperatura de operação, a corrente de polarização é aproximadamente 1,84 µA. O coeficiente de temperatura da corrente de polarização será de aproximadamente 180 ppm/°C de 27 °C a 70 °C, e 16 ppm/°C de 0°C a 27 °C. A variação na corrente de polarização será de 0,008 µA na primeira faixa e 0,014 µA na segunda. Essas variações representam menos de 1% do valor da corrente de polarização.

Na Figura 4.6, a corrente de saída no núcleo do conversor V-I,  $I_{OUT}$ , depende da tensão  $V_{GS}$  de MN3 ( $V_3 - V_2$ ), que opera na saturação. A tensão  $V_{GS}$  de MN3 depende do termo

$\sqrt{\frac{I_{REF}}{\beta_{M3}}} + V_{TN}$ , de forma que uma variação de 1% em  $I_{REF}$  (corrente de polarização do

núcleo do conversor) produz uma variação de menos de 0,5% em  $V_{GS}$  de MN3. Portanto, essa variação da corrente de polarização será desprezada na corrente de saída do núcleo do conversor V-I.

A outra corrente da referência (aquela de ajuste da corrente de saída do conversor V-I), de 7,50  $\mu\text{A}$ , possui 96 ppm/ $^{\circ}\text{C}$  na primeira faixa citada anteriormente, e 120 ppm/ $^{\circ}\text{C}$  na segunda faixa. A variação dessa corrente será de 0,02  $\mu\text{A}$  na primeira faixa e 0,04  $\mu\text{A}$  na segunda faixa.

Considerando agora a corrente de 7,50  $\mu\text{A}$  e também que o erro introduzido na corrente de final pelo estágio de saída possa ser ignorado, chegou-se a tabela D.1, com as alterações nas correntes do conversor V-I a partir do primeiro estágio de saída.

Tabela D.1 – Corrente no estágio de saída nas faixas de variação da temperatura

	<b>0<math>^{\circ}\text{C}</math> – 27<math>^{\circ}\text{C}</math></b>	<b>27<math>^{\circ}\text{C}</math> – 70<math>^{\circ}\text{C}</math></b>
Entrada do primeiro estágio	4,96 – 5,02	4,94 – 5,00
Saída do primeiro estágio	19,84 – 20,08	19,76 – 20,00
Saída do segundo estágio	99,20 – 100,4	98,8 – 100,0

Observando que o erro de quantização do conversor A/D é de 0,4  $\mu\text{A}$ , a variação dessa corrente será aceitável, de acordo com a tabela D.1.

Esta análise não considerou a estabilidade térmica do núcleo do conversor e dos outros circuitos, tendo em vista que a variação da corrente de saída, só do núcleo é de 9%, saindo das especificações de projeto.

A variação da corrente de polarização do conversor com a tensão de alimentação é dada pela curva da Figura D.2. O intervalo de variação foi de 10% de VDD, ou seja, 2,97V a 3,63 V. A corrente de polarização varia menos de 1% bem como a corrente de ajuste do núcleo do conversor V-I. Se apenas a referência de corrente for avaliada, terá atendido aos requisitos de projeto. Entretanto, o estágio de saída do conversor V-I completo é bastante sensível a variações de VDD.

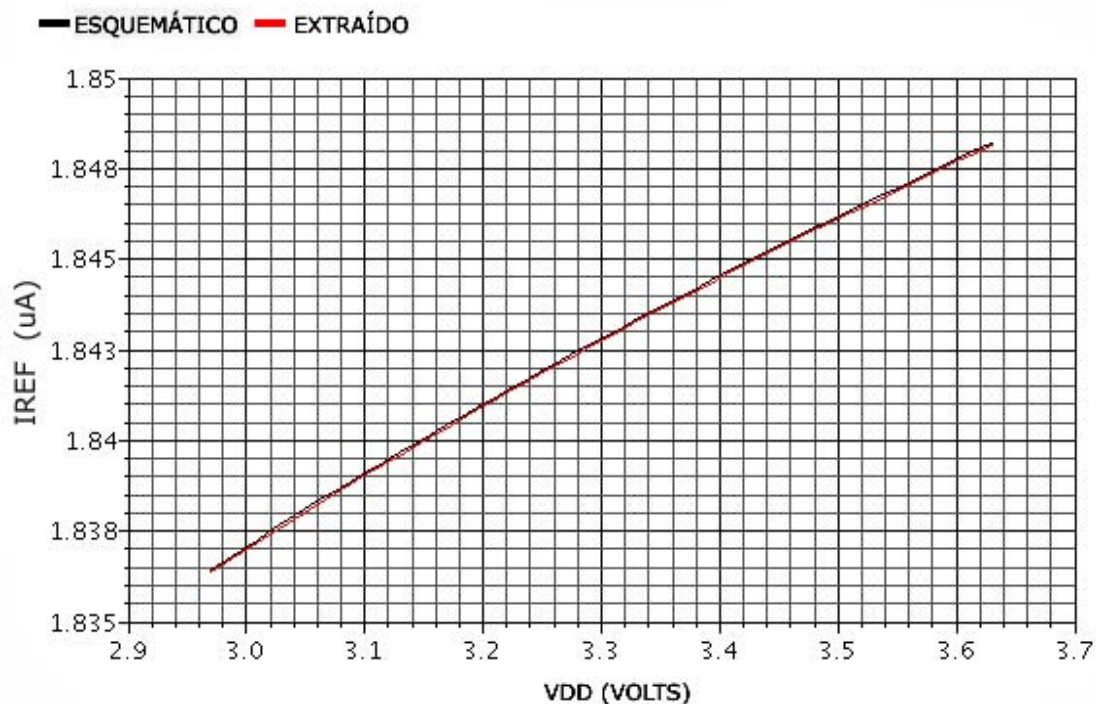


Figura D.2 – Variação da corrente de polarização com a tensão VDD

Na tabela D.2 é feita uma comparação da referência de corrente projetada com referências de corrente de outros trabalhos.

Tabela D.2 – Comparativo do desempenho de circuitos de referências de corrente

Parâmetro	Projeto	Referência [21]	Referência [22]	Referência [29]
Corrente Nominal ( $\mu A$ )	1,84	0,77	15,150	0,28
Coefficiente Temp. (ppm/ $^{\circ}C$ )	180	375	217	226
Área ( $mm^2$ )	0,0079	0,2	0,0042	-
Tecnologia ( $\mu m$ )	0,35	3	0,35	-

De acordo com a tabela C.2, a referência projetada possui menor coeficiente de temperatura, porém ocupa o dobro de área da referência [22]. Mesmo assim, o compromisso de utilização da menor área foi mantido, haja vista ter sido utilizado o menor resistor possível.

## E – LEIAUTES DAS ESTRUTURAS DO *CHIP* DE TESTE

### E.1 - NÚCLEO DO CONVERSOR V-I

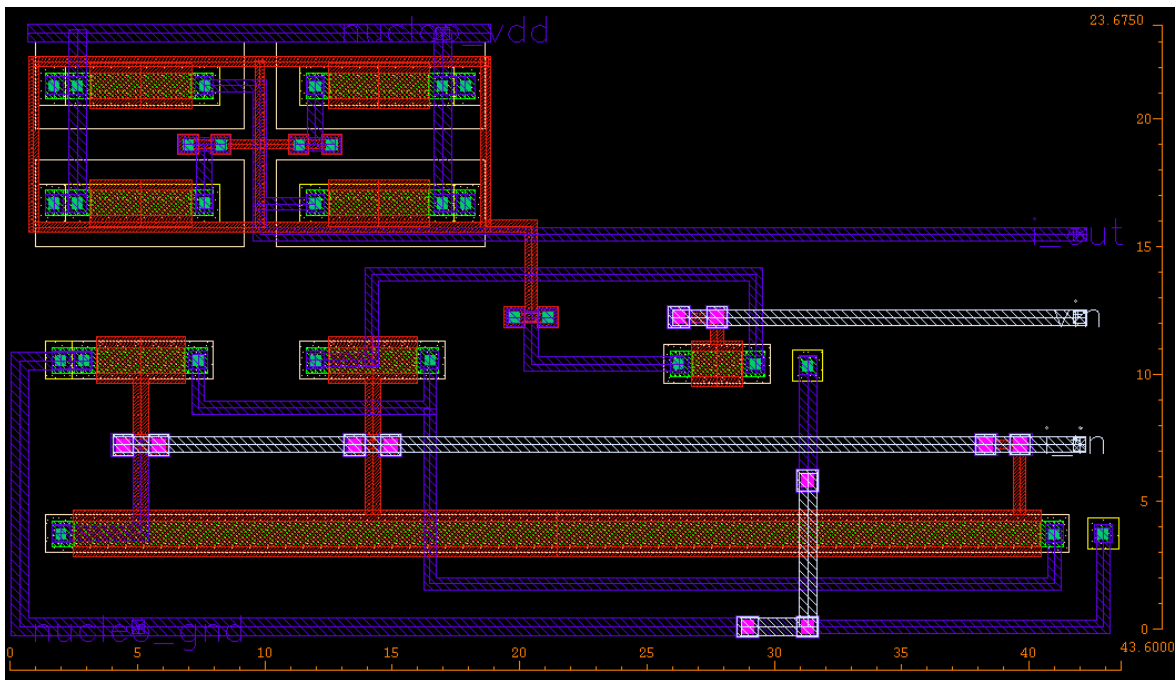


Figura E.1 – Leiaute do núcleo do conversor V-I

Dimensões: 43,60 μm x 23,67 μm

Área: 0,001 mm<sup>2</sup>

Consumo: 0,055 mW (rms)

## E.2 - REFERÊNCIA DE CORRENTE

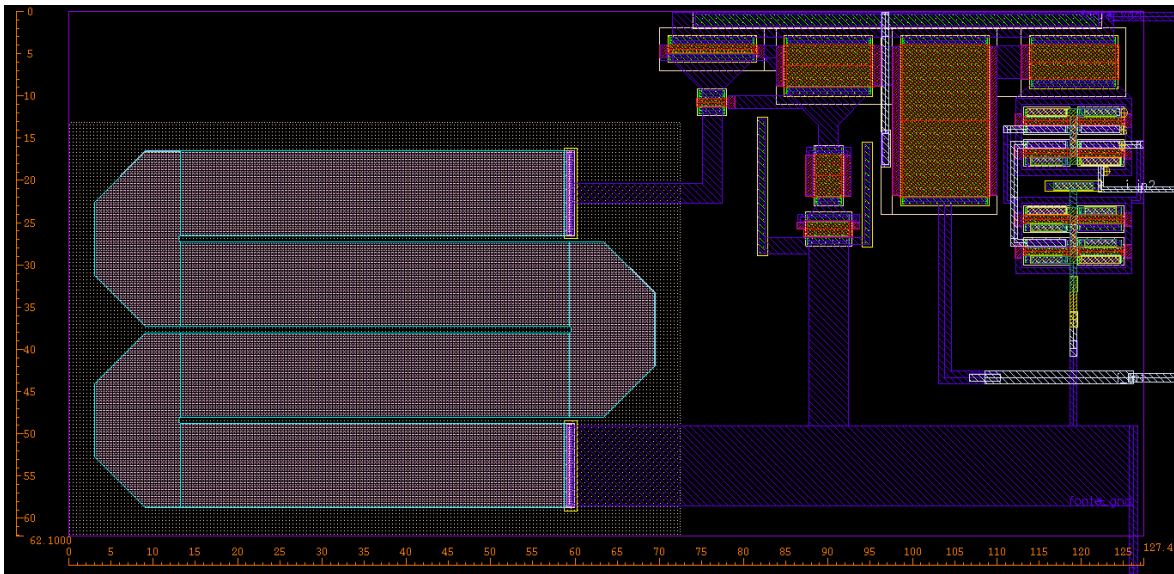


Figura E.2 – Leiaute da referência de corrente

Dimensões: 127,4  $\mu\text{m}$  x 62,10  $\mu\text{m}$

Área: 0,0079  $\text{mm}^2$

Consumo: 0,135 mW (rms)

## E.3 - PRIMEIRO ESTÁGIO DE SAÍDA

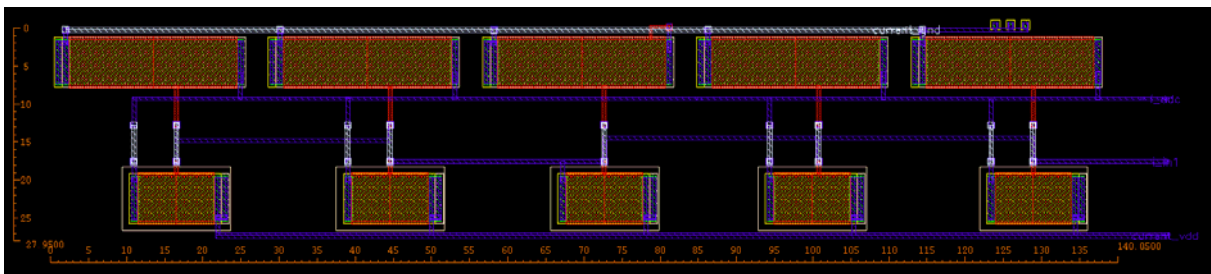


Figura E.3 – Leiaute do primeiro estágio de saída

Dimensões: 140,05  $\mu\text{m}$  x 27,95  $\mu\text{m}$

Área: 0,0039  $\text{mm}^2$

Consumo: 0,28 mW (rms)



## E.4 - SEGUNDO ESTÁGIO DE SAÍDA

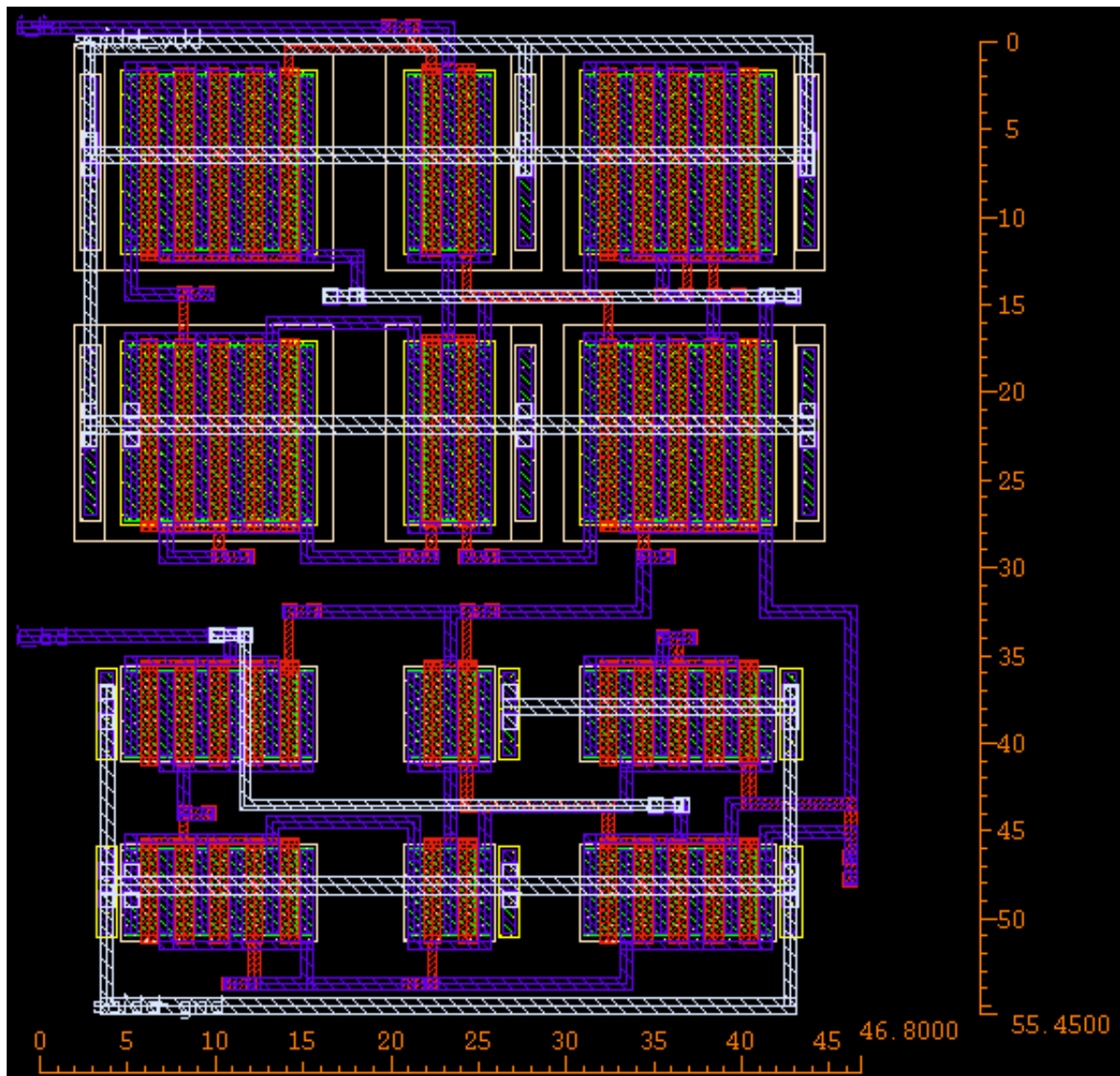


Figura E.4 – Leiaute do segundo estágio de saída

Dimensões: 46,80  $\mu\text{m}$  x 55,45  $\mu\text{m}$

Área: 0,0026  $\text{mm}^2$

Consumo: 0,25 mW (rms)

## E.5 - CONVERSOR TENSÃO-CORRENTE COMPLETO

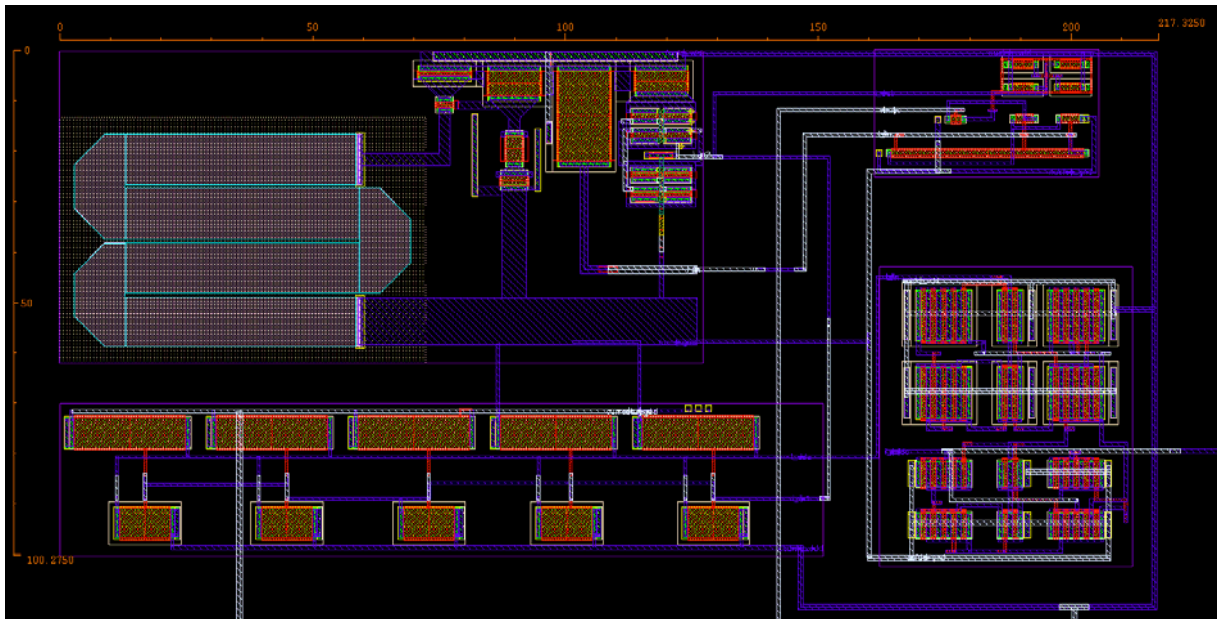


Figura E.5 – Leiaute do conversor tensão-corrente completo

Dimensões: 217,33  $\mu\text{m}$  x 100,28  $\mu\text{m}$

Área: 0,022  $\text{mm}^2$

Consumo: 0,68 mW (rms)

As especificações de área e consumo foram atendidas pelo conversor V-I projetado. A área total ocupada foi de menos de 4% da prevista (0,6  $\text{mm}^2$ ) e o consumo 40% menor. Tendo em vista as especificações de área e consumo do SoC, considerando apenas a parte analógica, os valores de área e consumo caem para 0,15% da área total e 5% do consumo total do SoC.